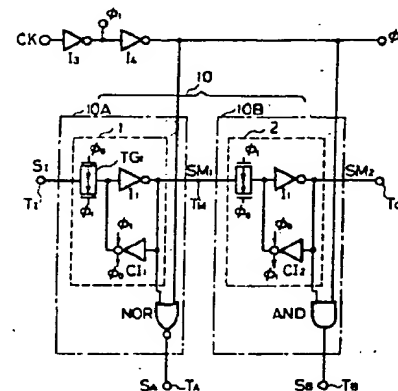


(54) SHIFT REGISTER CIRCUIT

(11) 5-36292 (A) (43) 12.2.1993 (19) JP
 (21) Appl. No. 3-190271 (22) 30.7.1991
 (71) NEC CORP (72) HARUO NISHIURA
 (51) Int. Cl.⁵ G11C19/00

PURPOSE: To provide a shift register circuit in which the bit shift speed is fast and the number of elements is small.

CONSTITUTION: For a bit part 10A, an input signal is latched by a latch part 1, a first latch signal S_{M1} is outputted, further, the negative OR of the latch signal S_{M1} and a clock signal ϕ_0 is obtained by a NOR circuit NOR and a first bit output signal S_A is outputted. For a bit part 10B, the latch signal S_{M1} from the latch part 1 is latched by a latch part 2, a second latch signal S_{M2} is outputted, further, the OR of the latch signal S_{M2} and the inverting signal in the same period of the clock signal is obtained by an AND circuit AND and a second bit output signal S_B is outputted. Thus, for each period of the clock signal, the shifting of the data of 2 bits can be performed, the shifting speed is improved to two times as much as the conventional one and the number of elements is made small.



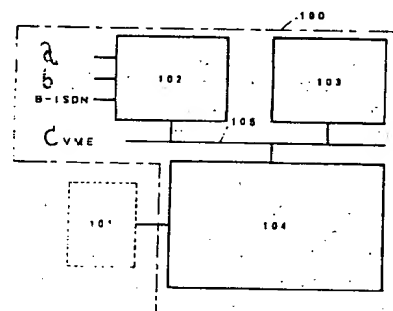
10: shift register circuit

(54) DIGITAL SIGNAL DELIVERING SYSTEM, DIGITAL AUDIO SIGNAL PROCESSING CIRCUIT AND SIGNAL CONVERTING CIRCUIT

(11) 5-36293 (A) (43) 12.2.1993 (19) JP
 (21) Appl. No. 3-169664 (22) 10.7.1991
 (71) HITACHI LTD (72) NOBUO HAMAMOTO(14)
 (51) Int. Cl.⁵ G11C27/00, G06K17/00, G06K19/07, G10L9/18//G11B20/10

PURPOSE: To provide a digital signal delivering system to realize the selling of information, etc., having the commercial value in the condition of the mode of a digital signal, an audio processing circuit suitable for it, a signal processing circuit, etc.

CONSTITUTION: In the delivery of a digital signal, a digital signal supply source and a player are directly connected, the specified information is received and stored, and the information stored by the player itself is reproduced. A terminal device 100 plays the role of an information server and is arranged at the station store, etc. The terminal device 100 is constituted of an input part 102, a storage part 103 and an output part 104, each circuit block is connected by a VME bus 105, and a digital signal and respective types of control signals are given and received. A memory card 101 (a player) with a reproduction function illustrated by dotted lines is connected and a special digital signal as merchandise is delivered as it is.



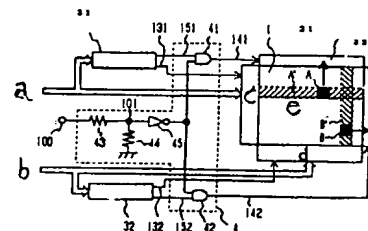
a: right analog input, b: left analog input, c: VME bus

(54) SEMICONDUCTOR MEMORY

(11) 5-36294 (A) (43) 12.2.1993 (19) JP
 (21) Appl. No. 3-192957 (22) 1.8.1991
 (71) SEIKO EPSON CORP (72) YASUNOBU TOKUDA
 (51) Int. Cl.⁵ G11C29/00

PURPOSE: To easily check the use condition of the redundant function of a semiconductor memory provided with a redundant function and the address of the replaced defective memory cell.

CONSTITUTION: When a redundant checking signal 100 is not given and the row address from an external part is coincident to the address of a defective memory cell A accumulated at a redundant row decoding circuit 31, a row A' is replaced to a redundant row 21. On the other hand, when the redundant checking signal 100 is given, since a redundant row selecting signal 141 is made invalid by an AND circuit 41, the redundant row 21 is not selected, and the operation in the replaced address becomes defective.



22: redundant column, 32: redundant column decoding circuit, a: row address, b: column address, c: row decoder, d: column decoder, e: regular memory cell array

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-36293

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 27/00		C 2116-5L		
G 0 6 K 17/00		B 8623-5L		
19/07				
G 1 0 L 9/18		J 8946-5H		
		8623-5L		
			G 0 6 K 19/00	N
			審査請求 未請求 請求項の数41(全 71 頁)	最終頁に続く

(21)出願番号 特願平3-169664

(22)出願日 平成3年(1991)7月10日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 浜本 信男

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 永田 稜

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 大竹 正利

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

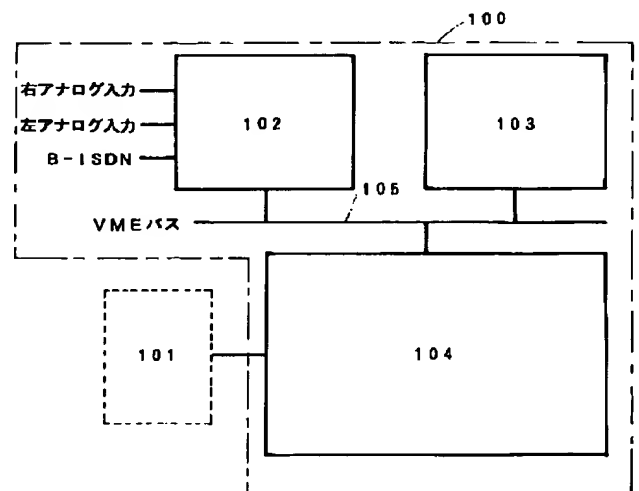
(54)【発明の名称】 デジタル信号受け渡しシステムとデジタル音声信号処理回路及び信号変換回路

(57)【要約】 (修正有)

【目的】 デジタル信号の形態のまま商品価値を持つようにした情報等の販売を実現したデジタル信号受け渡しシステムと、それに好適な音声処理回路や信号処理回路等を提供する。

【構成】 デジタル信号の受け渡しに於いてデジタル信号供給源とプレーヤを直接接続し、特定された情報を受け取り記憶させるとともにプレーヤ単独で記憶させた情報の再生を行う。端末装置100は情報サーバの役を果たし、例えば駅売店等に設置する。端末装置100は入力部102、記憶部103と出力部104から構成され、各回路ブロックはVMEバス105により接続されてデジタル信号や、各種制御信号の授受が行われる。点線図示の再生機能付きメモ리카ード101(以下プレーヤ)を接続し、商品としての特定のデジタル信号がそのまま受け渡される。

図1



【特許請求の範囲】

【請求項1】 デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と接続され、かつ特定されたデジタル信号で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行う再生機能付きメモリカードとを備えてなることを特徴とするデジタル信号受け渡しシステム。

【請求項2】 上記デジタル信号受け渡しシステムにおいて、少なくとも処理する信号よりも速い速度で、上記デジタル信号供給源と上記再生機能付きメモリカードとの間でデジタル信号の受け渡しを行うことを特徴とする請求項1のデジタル信号受け渡しシステム。

【請求項3】 上記デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と接続され、かつ特定されたデジタル信号で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行う再生機能付きメモリカードとを備えたデジタル信号受け渡しシステムにおいて、上記デジタル信号供給源が、デジタル信号の供給元と、この供給元から必要に応じてデジタル信号を通信回線又は適当な記憶媒体を介して受け取り記憶するとともに、上記再生機能付きメモリカードとコネクタを介して接続されて特定されたデジタル信号の受け渡しを行う端末装置とからなるものであることを特徴とする請求項1のデジタル信号受け渡しシステム。

【請求項4】 上記端末装置の記憶容量は、再生機能付きメモリカード上の記憶回路の記憶容量に比べて同一もしくはそれ以上の記憶容量であることを特徴とする請求項3のデジタル信号受け渡しシステム。

【請求項5】 上記端末装置は、比較的大きな記憶容量を持つ磁気ディスクメモリ装置をバックアップメモリとして用い、再生機能付きメモリカードとの間で受け渡し量の多いデジタル信号又は時間の経過とともに更新されるデジタル信号を高速アクセスが可能な半導体メモリにより構成されたバッファメモリに記憶させるものであることを特徴とする請求項3のデジタル信号受け渡しシステム。

【請求項6】 上記端末装置は、マイクロコンピュータ機能を持ち、上記磁気ディスクメモリやバッファメモリの管理及び通信回線を介して供給元とのデジタル信号の授受を行うことの他、接続された状態の再生機能付きメモリカード内における記憶回路に対する記憶エリアの管理も行うものであることを特徴とする請求項3、請求項4又は請求項5のデジタル信号受け渡しシステム。

【請求項7】 上記端末装置は、指定されたデジタル信号の一部分を一定時間に限り再生して出力させる機能を持つものであることを特徴とする請求項3、のデジタル信号受け渡しシステム。

【請求項8】 デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と接続さ

れ、かつ特定されたデジタル信号で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行う再生機能付きメモリカードとを備えたデジタル信号受け渡しシステムにおいて、上記再生機能付きメモリカードは二次電池を内蔵し、上記端末装置と接続されたとき端末装置側の電源により上記二次電池に対して充電動作も行われるものであることを特徴とする再生機能付きメモリカード。

【請求項9】 上記再生機能付きメモリカードは記憶回路から読み出されたデジタル音声信号をアナログ音声信号に変換して出力させる再生出力回路を備えるものであることを特徴とする請求項8の再生機能付きメモリカード。

【請求項10】 上記再生機能付きメモリカードは、薄いカード状の記憶媒体とに分離または脱着されるものであることを特徴とする請求項9の再生機能付きメモリカード。

【請求項11】 上記再生機能付きメモリカードはIDコードを持ちそのIDコードの内容に従い再生条件が自動指定されるものであることを特徴とする請求項9の再生機能付きメモリカード。

【請求項12】 上記再生条件は、ステレオ/モノラル再生、8ビットと16ビットからなる分解能、サンプリング周波数のうち少なくとも1つを含むものであることを特徴とする請求項11の再生機能付きメモリカード。

【請求項13】 デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と接続され、かつ特定されたデジタル信号で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行う再生機能付きメモリカードとを備えたデジタル信号受け渡しシステムにおいて、上記再生機能付きメモリカードは、上記デジタル信号を記憶制御する記憶回路と外部からの信号の受渡し用コネクタと再生を制御する操作部を持つことを特徴とする再生機能付きメモリカード。

【請求項14】 上記受渡し用コネクタにが、JEIDA規格またはJEIDA規格に準ずるコネクタである請求項13の再生機能付きメモリカード。

【請求項15】 デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と接続され、かつ特定されたデジタル信号で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行う再生機能付きメモリカードとを備えたデジタル信号受け渡しシステムにおいて、上記記憶回路は、パスワード又はパスワードの一致検出信号に従い上記記憶回路の入力及び/又は出力部の少なくとも1ビットのデジタル信号を反転させ、あるいは他のビットと入替えを行い使用者に対して正しいデジタル信号を再生しないような機密保護機能を持つものであることを特徴とする記憶回路。

【請求項16】上記記憶回路は、パスワード又はパスワードの一致検出信号に従い記憶回路のアドレス入力部の少なくとも1ビットのデジタル信号を反転させ、あるいは他のビットと入替えを行い使用者に対して正しいデジタル信号を再生しないような機密保護機能を持つものであることを特徴とする請求項15の記憶回路。

【請求項17】上記記憶回路は、パスワード又はパスワードの一致検出信号に従い上記記憶回路の出力部の少なくとも1ビットのデジタル信号を無効にして、あるいは他のビットと入替えを行い上記再生機能付きメモリカードから外部に正しいデジタル信号を読み出せないようにした機密保護機能を持つものであることを特徴とする請求項15の記憶回路。

【請求項18】上記記憶回路は、パスワード又はパスワードの一致検出信号に従い上記記憶回路のアドレス入力部の少なくとも1ビットのデジタル信号を無効にして、あるいは他のビットと入替えを行い上記再生機能付きメモリカードから外部に正しいデジタル信号を読み出せないようにした機密保護機能を持つものであることを特徴とする請求項15の記憶回路。

【請求項19】上記記憶回路を任意の記憶容量に分割して、複数の異なった情報を記憶し、再生時には使用者が記憶した情報の中から任意の情報を選択できるようにしたことを特徴とする請求項15の記憶回路。

【請求項20】上記記憶回路は、複数のデジタル信号に対応した格納アドレスを含む目次情報を記憶する記憶領域又は目次記憶回路と、上記格納アドレスによりアクセスされるデータ領域又はデータ記憶回路とを備えてなることを特徴とする請求項15の記憶回路。

【請求項21】上記操作部は、1つのキースイッチのオン時間又はオン回数により、複数種類からなる動作モードの指定が行われるものであることを特徴とする請求項13の再生機能付きメモリカード。

【請求項22】デジタル信号供給源と、デジタル信号の受け渡しにおいて上記デジタル信号供給源と接続され、かつ特定されたデジタル信号で受け取り記憶回路に記憶し、単独で記憶されたデジタル信号の再生を行う再生機能付きメモリカードとを備えてなるデジタル信号受け渡しシステムにおいて、上記デジタル信号の元の情報量に対して情報量を圧縮または伸長する手段と雑音を除去する雑音除去手段とを設けたことを特徴とするデジタル信号受け渡しシステム。

【請求項23】上記雑音除去手段は、デジタル化された音声信号の無音期間を検出する手段とその無音期間においてデジタル／アナログ変換回路に入力されるデジタル信号を強制的に交流的な0レベルに対応した信号に置き換える手段から成ることを特徴とする請求項22のデジタル信号受け渡しシステム。

【請求項24】上記雑音除去手段は上記無音期間が、正負両極性のそれぞれ無音と見做す所定のレベルとデジ

タル信号とを比較する比較手段と上記比較結果に基づいて所定のレベル以内の時に所定期間無音状態であることを特徴とする請求項22のデジタル信号受け渡しシステム。

【請求項25】上記伸長する手段がデジタル化された音声信号の無音期間を検出し、その無音期間を拡大する手段により遅聴き再生を行うことを特徴とする請求項22のデジタル信号受け渡しシステム。

【請求項26】上記無音期間を拡大させる手段は、デジタル信号が格納されたメモリ回路のアドレス更新動作を通常動作に比べて実質的に遅らせることにより行うものであることを特徴とする請求項25のデジタル信号受け渡しシステム。

【請求項27】上記圧縮する手段がデジタル化された音声信号の無音期間を検出し、その無音期間を短縮させて早聴き再生を行うことを特徴とする請求項22のデジタル信号受け渡しシステム。

【請求項28】上記無音期間を短縮させる手段は、デジタル信号が格納されたメモリ回路のアドレス更新動作を通常動作に比べて速くすることにより行うものであることを特徴とする請求項27のデジタル信号受け渡しシステム。

【請求項29】上記圧縮する手段が上記デジタル信号の1つ前のサンプリングデータと入力されたデータとの差分を求める手段とその結果が圧縮される符号の最大値より大きい場合には圧縮されるデータの最大値を出力する手段と小さい場合には上記圧縮されるデータにより減算結果を出力させる手段から成ることを特徴とする請求項22のデジタル信号受け渡しシステム。

【請求項30】上記伸長する手段が上記デジタル信号のデータは、1つ前のサンプリングデータと加算されることよりもとのデータに伸長されるものであることを特徴とする請求項22のデジタル信号受け渡しシステム。

【請求項31】デジタル信号の無音期間が無音コード情報と無音時間情報に置き換えられることによってデータ圧縮が行われるとともに、通常動作のときには無音コード情報を検出すると無音時間情報に対応した時間にわたってメモリ回路のアドレス更新動作を停止させるとともにそれに代わって交流的な0レベルに対応した信号を出力させ、遅聴き再生動作のときには無音コード情報を検出すると無音時間情報に対して拡大させた時間にわたってメモリ回路のアドレス更新動作を停止させるとともにそれに代わって交流的な0レベルに対応した信号を出力させ、早聴き動作のときには上記無音コード情報及び無音時間情報を実質的に無視してデジタル信号を出力させるものであることを特徴とするデジタル信号処理回路。

【請求項32】上記無音コード情報は、ほぼ正の最大値とほぼ負の最大値に対応した少なくとも2つの連続した

デジタル信号の組み合わせにより構成されるものであることを特徴とする請求項31のデジタル信号処理回路。

【請求項33】最大無音時間を設定し、遅聴き動作に伴い拡大された無音期間が上記最大無音時間を超ないように制限する機能を設けることを特徴とする請求項31のデジタル信号処理回路。

【請求項34】デジタル入力信号を受ける記憶回路と、基準時間パルスを受けデジタル入力信号の最大値に対応した計数動作を行うカウンタ回路と、上記記憶回路の出力信号とカウンタ回路の出力信号とを比較するコンパレータと、上記カウンタ回路の繰返し計数動作を計数するリピータカウンタと、ストロブ信号を受けて記憶回路への入力デジタル信号の取込みを指示するとともに、上記カウンタ回路の計数動作を開始させ、上記リピータカウンタからの出力信号により変換終了信号を送出する制御回路とを含み、上記コンパレータの出力からデジタル入力信号に対応したパルス幅変調信号を得ることを特徴とする信号変換回路。

【請求項35】デジタル信号の最大値に対応した一定の周期により供給されるデジタル入力信号を受け、基準時間パルスを計数するダウンカウンタ回路と、上記ダウンカウンタ回路の動作期間に対応したパルスを形成するデジタル回路とを含み、上記デジタル入力信号に対応したパルス幅変調信号を得ることを特徴とする信号変換回路。

【請求項36】上記デジタル信号の最大値に対応した一定の周期は、上記基準時間パルスを受けてデジタル入力信号に対応した計数動作を行うアップカウンタ回路により形成されるものであることを特徴とする請求項35の信号変換回路。

【請求項37】上記パルス幅変調信号は、抵抗とキャパシタからなるローパスフィルタに入力されてアナログ信号に変換されるものであることを特徴とする請求項34の信号変換回路。

【請求項38】デジタル音声信号を記憶回路に記憶し、単独でデジタル音声信号を記憶回路から読み出し、そのデジタル音声信号をデジタル／アナログ変換回路でアナログ音声信号に変換し、ローパスフィルタを経由し、増幅回路で増幅して出力する再生回路を備えるデジタル音声信号再生回路において、上記記憶回路を除くデジタル／アナログ変換回路と、ローパスフィルタと、増幅回路とおよび制御回路とインタフェース部から成る1チップ集積回路に納めたことを特徴とするワンチップ集積回路。

【請求項39】上記デジタル音声信号再生回路において、記憶容量が制御可能な記憶容量よりも大きくなった場合に、容易に1チップ集積回路の外部において記憶回路制御機能を拡張できる機能を有することを特徴とする請求項38のワンチップ集積回路。

【請求項40】上記ワンチップ集積回路のインタフェース部がデジタル信号受け渡しシステムのデータ転送を実現する信号端子と、上記記憶容量を制御する信号端子と、アナログ音声信号を出力する信号端子と、上記デジタル音声信号再生回路に対して動作を支持する信号端子と、上記デジタル音声信号再生回路の状態を示す信号端子と、上記1チップ集積回路に電力を供給する信号端子を備えていることを特徴とする請求項38のワンチップ集積回路。

10 【請求項41】上記デジタル音声信号再生回路において、上記記憶回路へ情報を書き込む時に、上記記憶回路の欠陥部分を自己診断して欠陥部分のアドレスをスキップする工程を含むことを特徴とする請求項38、請求項39又は請求項40のデジタル音声再生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、デジタル信号受け渡しシステムとデジタル音声信号処理回路及び信号変換回路に関し、例えば、特定された音声情報等を電気信号の形態のまま特定された者に受け渡して販売ないし提供することを実現したデジタル信号受け渡しシステムと、それに好適なデジタル音声信号処理回路及び信号変換回路、データ圧縮及び伸長回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】情報等の商品化の例としては、古くからは紙を媒体として文字等を印刷して販売する新聞や雑誌等がある。上記紙に代えて、フロッピーディスクメモリやICカードといったような記憶媒体を介して各種ソフトウェア等を販売する例もある。また、ケーブルテレビジョンや衛星放送のように通信手段を介して契約した特定者にニュースや放送番組を提供することも行われている。

【0003】さらに、従来のノート型パーソナルコンピュータや電子手帳とは異なり、時間と場所の制約を受けずに、他の人にメッセージを送ったり、データベースへのアクセス、さらには情報の加工を簡単に行えるようにした携帯型コンピュータが、1990年11月26日付『日経エレクトロニクス』頁116～頁124において提案されている。このシステムにおいては、携帯型端末に対して、公衆電話やFM放送を通してデータ電送を行うことや、ICカードを本屋や駅売店により提供すること等が提案されている。

【0004】また、特開昭63-61391号に情報の提供および授受を行なうシステムについても開示されている。

【0005】また、デジタル回路により実現できるデジタルアナログ変換器が特開昭61-23622号公報により提案されている。

【0006】

【発明が解決しようとする課題】新聞や雑誌といったような紙を媒体として情報等を商品化して販売する場合には、印刷や輸送に時間がかかりタイムリーな情報の販売に不向きであるばかりでなく、紙を作るために森林伐採を行うことや不要になったときにゴミの排出させるといったような地球環境の悪化をもたらす。また、電子手帳等のようにICカードやフロッピーディスクを媒体とした場合には、電子手帳やパーソナルコンピュータといった端末装置が必要となるばかりでなく、これらの端末装置は電子手帳等のように情報加工を前提とするものであるから、その操作が比較的複雑で使い勝手が悪く一般的な普及を妨げている。また、FM放送を利用して大量のデータを流すようにした場合には、必要な情報の選択が煩わしいものとなるばかりでなく、上記衛星放送やケーブルテレビジョン放送と同様に必要な情報の他不必要な情報までも一括契約により受け取ることとなり非効率的である。

【0007】そこで、本願発明者等は、電気信号の形態のままの情報等を一般的な商品と同様な形態で受け渡しすることを可能にし、かつ受け取った情報を携帯可能な超薄形の再生機能付きメモリカードで再生するデジタル信号受け渡しシステムとそれに好適なデジタル音声信号処理回路及び信号変換回路を開発するに至った。

【0008】この発明の目的は、電気的なデジタル信号の形態のまま商品価値を持つようにした情報等の販売を実現したデジタル信号受け渡しシステムを提供することにある。

【0009】この発明の他の目的は、上記デジタル信号受け渡しシステムにおいて、少なくとも処理する信号よりも速い速度で、上記デジタル信号供給源と上記再生機能付きメモリカードとの間でデジタル信号の受け渡しを行うことを実現することにある。

【0010】更にこの発明の他の目的は、上記デジタル信号受け渡しシステムに適した端末装置を提供することにある。

【0011】更にこの発明の他の目的は、上記デジタル信号受け渡しシステムに適した上記再生機能付きメモリカードの高品質でたような再生方法および装置を提供することにある。

【0012】更にこの発明の他の目的は、上記デジタル信号受け渡しシステムにおける情報の効率的転送および情報の機密保護について、その方法および装置を提供することにある。

【0013】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、デジタル信号の受け渡しにおいてデジタル信号供給源としての端末装置と一対一に対応して再生機能付きメモリカードとしてのイヤホン有する超小形超薄形カード状のプレーヤを接続し、

特定されたデジタル信号をそのままの形態で受け取り記憶回路に記憶させるとともに上記プレーヤ単独で記憶させたデジタル信号の再生を行うことである。

【0014】例えば、上記デジタル信号受け渡しシステムにおいて、少なくとも処理する信号よりも速い速度で、上記デジタル信号供給源と上記再生機能付きメモリカードとの間でデジタル信号の受け渡しを行う。また、デジタル信号の供給元とデジタル信号供給源との間で、この供給元から必要に応じてデジタル信号を通信回線又は適当な記憶媒体を介して受け取り記憶するとともに、上記再生機能付きメモリカード（プレーヤ）とコネクタを介して接続されて特定されたデジタル信号の受け渡しを行う。更に、上記端末装置の記憶容量は、再生機能付きメモリカード（プレーヤ）上の記憶回路の記憶容量に比べて同一もしくはそれ以上の記憶容量であって、上記端末装置に比較的大きな記憶容量を持つ磁気ディスクメモリ装置をバックアップメモリとして用い、再生機能付きメモリカードとの間で受け渡し量の多いデジタル信号又は時間の経過とともに更新されるデジタル信号を高速アクセスが可能な半導体メモリにより構成されたバッファメモリに記憶させることにより効率的情報の受渡しを行なっている。更には、再生機能付きメモリカード内における記憶回路に対する記憶領域の管理を行なうものである。また、上記端末装置は、指定されたデジタル信号の一部を一定時間にかぎり再生して出力させる機能を持つ試験、更には、無音期間制御による遅聴き、早聴き、そして量子化雑音除去等により超小形超薄形の再生機能付きメモリカードを持ったデジタル信号受け渡しシステムを実現するものである。

【0015】

【作用】プレーヤは、デジタル信号を電気信号の形態で受け取り、単独で再生するものであるので受け渡されたデジタル信号の価値をそのまま発揮させることができる。これにより、デジタル信号の形態のままでよいからその加工、製造や販売システムの構築が容易に行えとともに、プレーヤの構成が簡単でかつ超小形超薄形カード状であって操作も易しいから誰にでも扱える。デジタル音声信号の無音期間を実質的に拡大したり拡張させることにより、音声品質を劣化させる

【0016】ことなく、早聴きや遅聴きが可能になる。

【実施例】図1には、この発明に係るデジタル信号受け渡しシステムの一実施例の要部ブロック図が示されている。この実施例では、デジタル信号を商品化して販売することを目的としたシステムに向けられている。すなわち、デジタル信号の受け渡しの1つの形態としてデジタル信号の販売がある。

【0017】同図には、デジタル信号販売システムのうち、端末装置のブロック図が示されている。この端末装置100は、タバコやジュースといったような清涼飲料水の自動販売機に相当するものである。この端末装置

100は情報サーバといった役割を果たし、特に制限されないが、広帯域デジタル通信回線B-ISDNを介してデジタル信号の販売元と接続されて、商品としてのデジタル信号の受け取りを行う。このようなシステムを採ることにより、デジタル信号は、上記タバコやジュースといったような商品と同様に、通信回線を通すことにより特定された端末装置100に対してのみ転送させる。この場合の商品としてのデジタル信号にあつては、上記タバコやジュースといったような一般的な商品の搬送のように交通渋滞や大気汚染をもたらすこともなく、高速にしかも大量の商品としてのデータ転送を行うことができる。上記端末装置100は、例えば駅売店やタバコ屋や本屋といったような商店の店先に設置される。

【0018】端末装置100は、大きく分けると入力部102、記憶部103及び出力部104から構成され、各回路ブロックはVMEバス105により接続されてデジタル信号や、各種制御信号の授受が行われる。この端末装置100に同図で点線で示した再生機能付きメモリカード101（以下プレーヤ）を接続し、商品としての特定のデジタル信号がそのまま受け渡される。

【0019】図2には、上記端末装置100の入力部102のブロック図が示されている。上記端末装置100の入力部102は、広帯域デジタル通信回線B-ISDNに対応したデジタル入力インターフェイスと、アナログ信号の形態での入力信号を受け取るアナログ入力インターフェイス（右アナログ入力、左アナログ入力）を持つ。アナログ入力インターフェイスは、右入力Rinと左入力Linに対応してローパスフィルタ202a、202bがそれぞれ設けられ、アナログ入力信号RinとLinに含まれる余分な周波数帯域成分が予め除去される。そして、これらの入力信号RinとLinは、マルチプレクサ203を介して時間的に交互に選択されてサンプル・ホールド回路204に取り込まれ、アナログ／デジタル変換回路205によりデジタル信号に変換される。このとき、アナログ／デジタル変換回路205からは時系列的に右チャンネル信号と左チャンネル信号の2チャンネル（ステレオ）のデジタル信号が時分割的に出力され、上記デジタル入力インターフェイス207に取り込まれる。このようなアナログ入力インターフェイスは、例えば放送等により送られる音楽番組や定時のニュース番組、株式情報あるいは各種商品市況等をデジタル信号化して記憶回路に記憶させる等のために用いられる。

【0020】なお、モノラル信号は、上記右又は左入力信号を用いて入力される。音楽番組のように帯域の広い入力信号に対しては、ローパスフィルタ202a、202bの帯域を広くし、ニュース番組のように帯域の狭い入力に対してはローパスフィルタ202a、202bの帯域を狭く切り換える等の機能を付加してもよい。20

6は、入力部制御回路であり、201は、上記B-ISDNに対応したネットワークインターフェイスである。

【0021】上記アナログ入力インターフェイスは、電話回線に接続して留守番電話機からのメッセージを受け取るようにしてもよい。この場合、端末装置100に電話機能が付加され、上記留守番電話機と接続して録音されたメッセージを受け取るようにしてもよい。このようにアナログ入力インターフェイスを用いると、メッセージの転送時間が長くなってしまう。そこで、デジタル回線を持つ加入者にあつては、デジタル式の留守番電話機によりメッセージをデジタル信号化して記憶させるようにしておけば、記録された複数のメッセージを極く短い時間で受け取ることができる。このようにすれば、出先において交通機関等による移動中等の任意のときにメッセージを聞き取るようにすることができる。

【0022】図3には、上記端末装置100における記憶部の一実施例のブロック図が示されている。この記憶部は、ハードディスクメモリ301等のような外部記憶装置と、バッファメモリとしてのRAM（ランダム・アクセス・メモリ）308、及び上記のようなデジタル入力又はアナログ入力のための情報処理プログラムや、ハードディスクメモリ301とのデータ授受、液晶表示装置303の表示動作及び出力部に接続されるプレーヤ101とのデータ転送動作等の各種プログラムが格納されたROM（リード・オンリー・メモリ）307及び上記プログラムに従った情報処理や制御動作を行うマイクロプロセッサ306を含む。RAM308は、特に制限されないが、約1MBの記憶容量を持ち、ROM307は約512KB（キロバイト、以下同じ）の記憶容量を持つ。ハードディスクメモリ301は、特に制限されないが、約250MB（メガバイト、以下同じ）の記憶容量を持ち、電源遮断時のバックアップメモリとしての機能を持つ他、多種類のデジタル信号を格納しておくといった倉庫のような役割を果たす。このハードディスクメモリ301は、ハードディスク制御回路302を介して内部バス309に接続され、マイクロプロセッサ306の指示に従いデータの書き込みと読み出しを行う。

【0023】303は、液晶表示装置であり、情報メニューの表示、操作指示等を表示するために用いられる。その表面はタッチキー機能が付加されて、表示メニューの選択や、表示切り換え等を行う。例えば、プレーヤ101を差し込むと、表示画面に最初に表示される情報メニューとして、1. 音楽、2. ニュース、3. 天気予報、4. 株式市況、5. 朗読等が表示される。そして、その中の1つ、例えば2. ニュースを指定すると画面が切り替わり、1. NHK、2. FEN、3. 交通情報、4. スポーツニュース等の表示が行われる。そして、希望するニュース番組を指定することにより、それに対応したデジタル信号をプレーヤ101が受け取る。

【0024】例えば、1. 音楽の場合には、クラシッ

ク、ポピュラー、歌謡曲、ジャズといったような音楽ジャンルが表示され、特定の音楽ジャンルを選択すると、それに対応して販売可能な曲名が表示される。この曲情報は、特に制限されないが、ROM307又はハードディスクメモリ301の特定のエリアに格納させておくものとする。ハードディスクメモリ301に該当曲が無いときには、上記通信回線B-ISDNを介してデジタル信号販売元と接続され、目的の音楽プログラムの伝送を受けてプレーヤ101に引き渡される。上記液晶表示装置303は、LCD制御回路304を介して内部バス309に接続され、上記のような表示とそれに対応したタッチキーの入力が行われる。

【0025】バスインターフェイス305は、上記内部バス309とVMEバス105との接続を行うVMEバスインターフェイスである。

【0026】上記ニュースや株式市況といったように時間の経過とともに最新情報に置き換える必要のあるものは、後述する出力部に設けられるバッファメモリ403に格納しておくようにする。これにより、逐一ハードディスクメモリ301をアクセスすることなく、直ちにプレーヤ101に転送することができる。また、音楽プログラムでも、販売量の多いものはバッファメモリ403に格納しておくものとしてもよい。この場合、表示メニューとして各音楽ジャンルに対応して販売量がトップテンのものを表示させて、ユーザーの選択を容易にするようにしてもよい。

【0027】上記端末装置100の出力部は、図4に示すようにVMEバス105に接続される出力インターフェイス401と、プレーヤ制御回路402、バッファメモリ403、モニター制御回路404及びモニター回路405等から構成される。出力部は、プレーヤ101との接続を行うコネクタを持ち、プレーヤ101とコネクタを介して接続されて、商品としてのデジタル信号の受け渡しを行う。バッファメモリ403は、約96MBの比較的大きな記憶容量を持つ、これは後述するようなプレーヤ101の最大記憶容量8MBの約10倍に相当する。

【0028】モニター回路405は、特に制限されないが、スピーカ406やヘッドフォン出力を備えて音楽プログラムの選曲のときにサワリの部分を聞かせる等のために用いられる。この機能は、いわば本屋の立ち読みといった機能であり、無形のデジタル信号の販売促進や、デジタル信号の選択ミスを防ぐ上で有効である。上記のモニター出力機能は、特に制限されないが、約10秒程度を最大時間として、タッチキー等がオン状態である期間だけ出力させるようにする。これにより、目的が達成されしだいモニター出力が停止されるのでモニター再生の無駄時間をなくすることができる。このモニター回路405とそのモニター制御回路404は、後述するプレーヤ101の再生回路と同等のものが用いられる。

【0029】前記のように自動販売機により販売されるタバコやジュースといった商品は、包装又は容器の中に入れて包装や容器と一体的に販売される。また、従来の商品化された情報等は、紙を媒体とした印刷物、フロッピーやICメモリを媒体としてそれが包装や容器といった役割を果たして販売される。そして、音楽プログラムも磁気テープやコンパクトディスクといった記憶媒体と一体的に販売される。これらの媒体は、それ自体では何の商品価値も持たない。それが電子手帳やパーソナルコンピュータといった端末装置と組み合わせられて、商品としての情報の取り出しと加工が行われる。また、音楽プログラムもカセット式テープレコーダや再生装置と組み合わせられてはじめて商品の価値が発揮される。

【0030】これに対して、本願においては、上記のような容器といった役割を果たす記憶媒体を介在させること無しに商品としてのデジタル信号をそのまま受け渡すようにする。このようなデジタル信号の受け渡しのために、プレーヤ101には後述する記憶回路701が搭載される。そして、この記憶回路701に取り込まれたデジタル信号は、プレーヤ101の持つ再生回路によりプレーヤ101単体での再生が可能にされる。すなわち、受け渡された商品が、そのまま直ちに商品としての価値を発揮する。このような2つの特徴が、従来における商品の取引と大きく異なるものである。また、上記のようにプレーヤ101を端末装置100に接続して、商品としてのデジタル信号を受け渡しを行うシステムでは、必要なときに必要な情報のみを特定して販売できる。

【0031】図4において、407は電源回路であり、特に制限されないが、プレーヤ101への高速なデジタル信号の伝送、言い換えるならば、書き込み動作のために、端末装置100から動作電源の供給が行われる。また、プレーヤ101の電源として、後述するような一次電池に代えて充電が可能な二次電池を用いた場合や、一次電池と二次電池とが内蔵される場合には、プレーヤ101が端末装置100に接続されたときに、上記のようなデジタル信号の受け渡しが行われるとともに、上記の電源回路407により二次電池に対する急速充電も行われる。上記出力部とプレーヤ101との間で授受される信号の例としては、上記動作電圧V、デジタル信号D、アドレス信号A、制御信号C及びステータス信号S等がある。

【0032】また、現状のカセットテープレコーダ等は原則的に情報の記憶時間と再生時間が等しい。これは、本願で提案するような情報の自動販売システムにおいて、利用者に対して大きな問題となる。従って、上記デジタル信号受け渡しシステムにおいて、利用者の使い勝手を考慮すると、端末装置100とプレーヤ101との間のデジタル信号の受け渡しを可能な限り高速化することが望ましい。この機能は、図4における端末装置

10

20

30

40

50

出力部104のバッファメモリ403とプレーヤ101の記憶回路701に少なくとも再生する信号よりも速く動作する記憶回路と記憶回路の制御回路及びデータ転送手段を設ければ実現できる。

【0033】この実施例を図5及び図6を使用して説明する。まず、図5はプレーヤ101側の高速転送に関するブロック構成である。フォトセンサ502、I-Vアンプ503、シリアル/パラレル変換回路504、PLL発振回路505、分周回路506、マルチプレクサ507、およびモードスイッチ508が、プレーヤ内に付加されている。光モード（モードスイッチ508を光側にする）のときは、マルチプレクサ507のB入力側が選択されY出力となるため、光のパルス列として供給される外部データ（単位書き込みデータ列の先頭部には“1”の状態と“0”の状態を示すスタートビットが2ビット付加されている）を記憶回路701へ書き込むことになる。即ち、光変調パルス列はフォトセンサ502で電流信号に変換され、I-Vアンプ503で電圧信号として波形整形され、該整形後のパルス列からクロック成分を抽出するためのPLL発振回路505へ入力すると同時に、シリアル/パラレル変換回路504の直列信号入力端子Dへも入力する。上記PLL発振回路505で抽出したクロック信号（本願では8MHzの周波数）は、上記シリアル/パラレル変換回路504のシフトクロックになると同時にn分の1（nは量子化ビット数+2ビットであり本願では10である）分周回路506のカウントクロックになり、該分周回路506の出力信号（実施例では800kHz）が記憶回路701への書き込みストロブ信号となる。

【0034】また、電気モード（モードスイッチ508を電気側にする）のときは、マルチプレクサ507のA入力側が選択されY出力となるため、16ビット並列データは入力バッファ501からマルチプレクサ507を通過して記憶回路701へ書き込まれることになる。

【0035】図6には、端末装置100側のデータ送信部を示すブロック構成が示されている。8ビット並列データはバッファメモリ403のデータ出力を出力バッファ601により出力し、また、光変調パルスはバッファメモリ403のデータをパラレル/シリアル変換回路602で直列信号とし、スタートビット付加回路603でデータ列の先頭部に“1”の状態と“0”の状態を示すスタートビットを2ビット付加し、V-Iアンプ604でレーザダイオード605を駆動し、光のパルス列として出力するものである。

【0036】本実施例によれば、光結合によるワイヤレスで音声信号などの情報を高速に転送できる。例えば、本実施例では、約6分の音声情報（分解能8ビット、サンプリング周波数22.05kHz、モノラル）をわずか10秒で転送することができた。また、高速転送時の消費電力を少なくすることを目的として、クロック信号

の周波数を800kHzに設定した例においても、多少時間は要するものの良好な結果を得ることができた。

【0037】本実施例の基本思想は、半導体メモリ等デジタルメモリの動作速度が処理されるアナログ信号よりも速いことに注目し、デジタルメモリの内容を直接デジタル信号で高速に転送するという点にあり、この思想の範囲で多くの応用動作が可能であることはいうまでもない。たとえば、光結合方式ではなく、データ転送元と直接コネクタ又はケーブルでつないでも全く同じ結果を得、また、電波や磁気の応用の作用を用いても良い。更に、8ビット並列データを転送する方式では、接続コネクタのピン数が多くなるものの送信側あるいは受信側の回路は簡単化されるにもかかわらず、転送速度は更に1桁近く短くなり、上記約6分のデータをわずか1秒で転送することができた。

【0038】また、本実施例では、プレーヤ101の記憶回路701を直接端末装置100が管理する方法を採ったが、記憶回路701の最初の番地（ゼロ番地）から転送を開始し、アドレスカウンタ（例えば後述する図7の703）がオーバーフローした時点で転送を終了させる方式や、転送データ列の先頭部分にID情報を付加することによって、前記記憶回路701の任意の番地から任意の番地までのデータを高速転送する方法も確認し、良好な結果を得ることができた。

【0039】通常、利用者の使い勝手を考慮すると、端末装置100に蓄積された豊富な情報の中から、必要なものを選択でき、プレーヤ101に転送して、任意の場所で、任意の時間に、繰返し再生できることが要求される。したがって、プレーヤ101の記憶容量よりも端末装置100の記憶容量が少なくとも同一かもしくはそれ以上となる。すなわち、プレーヤ101の記憶容量をMp、端末装置100の記憶容量をMsとした場合、 $M_p \leq M_s$ の関係になる。なお、この条件は、応用形態によっては特に限定されない。図7には、上記プレーヤ101の一実施例のブロック図が示されている。

【0040】プレーヤ101は、大きく分けるとデジタル信号を記憶する記憶回路701、ゲートアレイ等から構成される大規模集積回路709、再生回路から構成される。記憶回路701は、特に制限されないが、約8MBの記憶容量を持つ疑似スタティック型RAMから構成される。例えば、後述するよう約4Mビットの疑似スタティック型RAM（PSRAM）を16個搭載して、上記約8MBの記憶容量を実現する。大規模集積回路709は、制御回路704、アドレスカウンタ703、マルチプレクサ702及びパラレル/シリアル変換回路705が搭載される。制御回路704は、記憶回路701に記憶されたデジタル信号の読み出し再生動作のときの各種制御信号の他、記憶回路701へのデータ入力のときの制御信号も形成する。

【0041】アドレスカウンタ703は、記憶回路70

1に記憶されたデジタル信号を読み出しときのアドレス信号を生成する。マルチプレクサ702は、記憶回路701を端末装置100からアクセスするときと、記憶回路701を内部でアクセスするときのアドレス切り換えを行う。すなわち、記憶回路701へのデジタル信号の書き込みは端末装置100側からのアドレスにより行われ、そのデジタル信号の再生動作のときの読み出しはアドレスカウンタ703により生成されたアドレスにより行われるものである。

【0042】706は、ローパスフィルタであり、デジタルフィルタ回路から構成されて再生に必要な帯域成分のみをデジタル／アナログ変換回路707に入力する。この実施例では、後述するように情報やプログラムに応じて複数のサンプリングレートのデジタル信号を扱うようにするものである。これらのサンプリングレートに応じてデジタルフィルタの通過帯域の切り換えも行われる。デジタル／アナログ変換回路は、時分割的に入力されるステレオ信号に対応して左右に分離された左右チャンネルのアナログ信号を出力する機能を持つ。なお、デジタル信号がモノラル信号である場合には、両チャンネルから同じアナログ信号が出力される。プレーヤ101は、小型軽量化のために音声出力はヘッドフォンにより行うようにするものである。711はそのためのヘッドホン端子である。

【0043】図8には、プレーヤ101を構成する実装基板の一実施例の平面図が示されている。プレーヤ101は、コントロール基板807とメモリ基板802から構成される。コントロール基板807には、長手方向の両端にボタン電池808a～808dを挿入する電源部とコネクタ部が分けられて設けられ、その間の基板表面に上記大規模集積回路709や増幅回路素子805、806、ローパスフィルタ706及びデジタル／アナログ変換回路707を構成する各半導体集積回路装置等の電子部品が搭載される。コネクタ804は、JEIDA (Japan Electronic Industry Development Association: 日本電子工業振興協会) 規格(メモ리카ード等の規格)に合わせたものが用いられる。電源部はボタン電池ホルダからなり、例えばアルカリボタン電池(LR44)が4個実装可能にされる。このコントロール基板807のサイズは、特に制限されないが、縦が52mm、横が82mmとされて既存のICカード用のケースに収納可能にされる。

【0044】メモリ基板802は上記コントロール基板807における比較的厚さの厚いコネクタ部と電源部に対応した部分を除いた大きさに相当し、両面に8個ずつのPSRAMが搭載される。このメモリ基板802とコントロール基板807とはフレキシブル配線基板803により接続される。すなわち、上記2つの基板は、検査や修理等を容易にするために見開き可能にされる。

【0045】図9には、ケースに収められた状態の実装

基板の側面図が示されている。上記コントロール基板807の電源部とコネクタ部を除く表面にメモリ基板802がフレキシブル配線基板803を介することにより折り返して重ね合わされる。これにより、既存のICカード(RAMカード)と同等のケースに収納可能となり、小型でかつ薄型のプレーヤ101が実現できる。また、上記のように修理のときにメモリ基板802とコントロール基板807とを開いた状態にできるからICやLSI等の電子部品の取替等が簡単にできる。

【0046】図10には、プレーヤ101の他の一実施例の平面図が示されている。

【0047】この実施例では、プレーヤ101本体と記憶回路部1001とが着脱可能にされる。すなわち、プレーヤ101本体は、前記同様にコントロール基板807にコントロール用の大規模集積回路709やデジタル／アナログ変換回路707及び増幅回路708等のICや電池ケース及びJEIDA規格準拠のメモ리카ードコネクタ804等から構成される。そして、同図に点線で示すように内部に薄いカード状態の記憶回路部1001(メモ리카ード)を挿入できる空間と、図11に示す記憶回路部コネクタ1103が設けられる。記憶回路部1001は、例えば薄いカード状のプラスチックケースに、前記のような疑似スタティック型RAMとそのバックアップ用の電池が収められて構成される。このように記憶回路部1001を着脱可能にすることにより、複数種類のメモ리카ードを用意できる。例えば、RAMとしてはスタティック型RAMやダイナミック型RAMや、あるいはその記憶容量が複数種類からなるものを用意できる。また、上記のようなRAMの他に、ROMカードも用いることができる。ROMカードとしては、マスク型ROMを用いるもの他、EEPROMを用いてデジタル信号の受け渡しを行うようにしてもよい。このようなEEPROMを用いた場合には、デジタル信号の受け渡し、言い換えるならば、デジタル信号の書き込み動作がRAMを用いる場合に比べて多少時間がかかる反面、バックアップ用の電池が不用になるからメモ리카ードの製造や取扱いが簡便になる。

【0048】また、上記プレーヤ101の外形やコネクタ等の物理仕様、信号特性やタイミング等の電気仕様及びカード属性情報等汎用のICメモ리카ードに採用されている上記JEIDA規格(現在ガイドラインVer 4.0が標準化されている)に適合させることによって、既存のICメモ리카ードとの互換性を確保できる。なお、JEIDA規格では、外形寸法、コネクタ、ピン配置、電池電圧等が規格化されているが、本願では特に外形寸法と信号のピン配置及び信号特性を抜粋する。図63はJEIDA規格によるタイプIカードの外形を示す。外形寸法は85.6mm × 54.0mm × 3.3mmである。図64はJEIDA規格によるタイプIIカードの外形を示す。外形寸法は

85.6mm × 54.0mm × 5.5mm
である(ただしコネクタ部は3.3mm)。図65は信号のピン配置を示しており、ガイドラインVer4.0では、ピン数が68ピンになっている。図66は信号特性を示している。

【0049】図11には、上記プレーヤ101本体と記憶回路部1001の一実施例のブロック図が示されている。

【0050】プレーヤ101本体の外側には、前記のような端末装置100と接続されるJEIDA規格準拠等のメモ리카ードコネクタ804が設けられる。そして、内部には、記憶回路部コネクタ1103が設けられる。この記憶回路部コネクタ1002、1103を介して上記のようなカード状の記憶回路部1001が着脱可能にされる。

【0051】端末装置100に対応したメモ리카ードコネクタ804から入力されたデータは、記憶回路部コネクタ1002、1103を介して記憶回路部1001のデータ入力端子Diに供給される。端末装置100に対応したメモ리카ードコネクタ804から入力されたアドレスは、マルチプレクサ1105の一方の入力Aに供給される。このマルチプレクサ1105の他方の入力Bには、プレーヤ101本体のアドレスカウンタ1106により発生された再生用のアドレスが供給される。このマルチプレクサ1105を介してデジタル信号の受け渡し用のアドレスと再生用のアドレスとが選択的に記憶回路部1001のアドレス端子Aに供給される。そして、端末装置100に対応したメモ리카ードコネクタ804から入力された制御信号は、マルチプレクサ1104の一方の入力Aに供給される。このマルチプレクサ1104の他方の入力Bには、プレーヤ101本体の制御回路1101により形成された再生用の制御信号が供給される。このマルチプレクサ1104を介してデジタル信号の受け渡し用の制御信号と再生用の制御信号とが選択的に記憶回路部1001の制御端子Cに供給される。

【0052】上記のようなマルチプレクサ1105、1104を設けてアドレスや制御信号の切り換えを行い、記憶回路部1001を端末装置100側からアクセスして行われるデジタル信号の受け渡しと、プレーヤ101本体のアドレスカウンタ1106や制御回路1101によりアクセスして行われるデジタル信号の再生が選択的に実行される。上記再生動作において、記憶回路部1001の読み出し動作により出力端子Doから出力されるデジタル信号は、記憶回路部コネクタ1002、1103を介してプレーヤ101本体のローパスフィルタ706、デジタル/アナログ変換回路707及び増幅回路708等からなる再生回路を通して音声信号として出力される。

【0053】プレーヤ101本体の制御回路1101は、再生されるデジタル信号のIDコード等に応じて

前記のようなローパスフィルタ706を制御したり、デジタル/アナログ変換回路707の制御等を行う。

【0054】また、端末装置100から供給される電源は、上記の記憶回路部コネクタ1002、1103を介して接続された記憶回路部1001へのデジタル信号の高速書き込みのための動作電圧や、プレーヤ101本体に搭載された電池808a~808dが二次電池であるときには、その急速充電動作を行うためにも用いられる。

【0055】図12には、プレーヤ101の電源供給方式の一実施例のブロック図が示されている。プレーヤ101は、上記のように記憶回路701と、デジタル回路から構成される制御回路704、デジタルフィルタ706及び後述するようなデジタル/アナログ変換回路707及びアナログ信号を出力する増幅回路708に分けられる。これらの各回路ブロックは、それぞれの動作電圧が異なる。例えば、記憶回路701は、前記のような疑似スタティック型RAMを用いる場合、約4V程度の比較的高い動作電圧を必要とする。これに対して、デジタル回路はCMOS回路ゲートアレイ等を用いることにより、約3Vと比較的低い電圧で動作可能である。そして、ヘッドフォンを駆動する増幅回路708にあっては更に動作電圧が低く約1.5V程度でよい。このことから、それぞれの回路の動作電圧に合わせた電池1203、1204及び1205を用い、情報保持動作のために定常的に電池1203の電圧が与えられる記憶回路701を除いて、電池1204と1205の電圧は電源スイッチ1206と1207を介してそれぞれ対応する各回路に供給される。

【0056】このように電圧値の異なる複数種類の電池を用いて直接的に対応する回路に電源供給を行うようにすることにより電池寿命を長くすることができる。例えば、内部電源を最も高い4Vに合わせると、デジタル回路やアナログ回路では無駄な電流が流れて消費電流が増大する。そこで、上記4Vを内部降圧回路で降圧するようにすると、降圧回路においても電流消費が行われるから結局電池寿命を短くしてしまう。これに対して、この実施例では、それぞれの回路に必要な最小の電池を選んでそれに電源供給するので、無駄な電流消費が抑えられて実質的な電池寿命を長くすることができる。

【0057】記憶回路701へのデジタル信号の書き込み/あるいはデジタル信号の読み出しを高速に行うためには、記憶回路701の動作電流が大きくなる。そこで、端末装置100に電源供給用コネクタを設けてそこから上記内部電圧より高い約5Vのような動作電圧を供給する。この場合、プレーヤ101側と端末装置100側の電源切り換えを自動的に行うようにするため、コネクタ804と電池1203はそれぞれダイオード1201、1202を介して記憶回路701の電源端子に電圧供給を行うようにするものである。この構成では、プ

レーヤ101が端末装置100に接続されると、端末装置100側の動作電圧が約5Vと電池1203の約4Vに比べて高いからダイオード1201がオン状態になり、記憶回路701は端末装置100側からの動作電圧により動作させられる。このときには、電池1203側のダイオード1202は逆バイアスされてオフ状態になり、電池1203に端末装置100のコネクタから逆流電流が流れることはない。そして、プレーヤ101が端末装置100から抜き取られるとコネクタが開放されるからダイオード1202がオン状態になって電池1203の電圧が記憶回路701に供給される。このような電源供給方式を採ることにより、端末装置100側から記憶回路701へのデータ転送を高速に行いつつ、プレーヤ101の電池寿命を長くすることができる。

【0058】図13には、端末装置100からプレーヤ101に転送されるデジタル信号の一実施例の構成図が示されている。

【0059】デジタル信号のソースとして音楽プログラムのように周波数帯域を広く必要とするものと、ニュースのように周波数帯域を広く必要としないものや、あるいはステレオ再生を必要とするものとモノラル再生で十分なものもある。このようにソースに合わせてプレーヤ101に内蔵される記憶回路701の限られた記憶容量を有効利用するために、デジタル信号としてはそのソースに合わせてサンプリングレートやビット長及びステレオ/モノラルの選択を可能にする。このようにすると、各ソース毎に対応した再生条件の設定が必要になる。この場合、手動により選択するようにすると、選択を指示するための表示手段が増加するし、扱いに慣れないとソースに対する再生条件のミスマッチにより音質が極端に悪化したり、あるいは再生不能になる。

【0060】このような問題を解決するために、図13に示すようにデジタル信号の先頭に再生条件を指定するIDコード1308が挿入される。このIDコード1308に続いて再生されるデジタル信号からなるデータが設けられる。このようにデジタル信号とその再生条件を指示するIDコード1308を一体の信号としてプレーヤ101に受け渡すようにすものである。これにより、プレーヤ101の記憶回路701にはIDコード1308とデジタル信号とが一体として記憶される。例えば、プレーヤ101に対してIDコード1308をデジタル信号と分離して転送する方式を採る場合には、プレーヤ101の電源を遮断するとIDコード1308が消滅してしまわないような工夫を必要とするが、上記実施例のようにデジタル信号と一体的に記憶回路701に記憶させた場合にはそのような問題が生じない。

【0061】図14は、上記IDコード1308が挿入されるデジタル信号に対応したプレーヤ101の一実*

$$t = M / (N \times f_s \times S)$$

* 施例のブロック図が示されている。

【0062】記憶回路701から最初に読み出されるデジタル信号は、IDコード1308と見做されてレジスタ1401に取り込まれる。このレジスタ1401に取り込まれたIDコード1308のうち、1300(D0)、1301(D1)はマルチプレクサ1404に入力されて、クロック発生回路1403により形成される4通りのクロックパルスのうちサンプリングレートに対応したクロックパルスを選んで制御回路704に伝える。クロック発生回路1403は、発振回路OSCにより形成された基準周波数信号を受けてサンプリングレートに対応した4通りのクロックパルスを形成する。

【0063】また、1302(D2)はビット長変換回路1405に入力される。ビット長変換回路1405はパラレル/シリアル変換機能を持ち、最大2バイトの単位で記憶回路701から出力されるデジタル信号を1302(D2)により指定されたビット長に合わせてローパスフィルタ706に入力する。ローパスフィルタ706は、デジタルフィルタ回路から構成され、制御回路704からサンプリングレートに対応したクロックパルスを受けて入力デジタル信号の余分な周波数帯域をカットする。また、デジタル/アナログ変換回路707は、制御回路704からサンプリングレートに対応したクロックパルスを受けて入力デジタル信号をアナログ信号に変換する。増幅回路708は、変換されたアナログ信号を増幅してヘッドフォン等の駆動信号を形成する。なお、同図では省略されているが、デジタル/アナログ変換回路707の出力部には抵抗とキャパシタ等からなるローパスフィルタが設けられる。

【0064】IDコード1308は、特に制限されないが、1300~1307(D0~D7)の8ビット(1バイト)からなり、例えば1300、1301(D0とD1)により、4通りのサンプリング周波数の指定が行われる。1300、1301が00なら5.5125kHz、1300、1301が01なら11.025kHz、1300、1301が10なら22.05kHz、そして1300、1301が11なら44.1kHzが指定される。1302は、分解能の指定に用いられ、0なら8ビット、1なら16ビットが指定される。そして、1303(D3)はモード指定に用いられ、0ならモノラル、1ならステレオにされる。そして、残りの4ビット1304~1307(D4~D7)は拡張機能用に残してある。

【0065】ここで、記憶回路701のメモリ容量(総ビット数M)と、分解能としてのビット長N、サンプリングレート f_s 及びモードS(ステレオS=2、モノラルS=1とする)と記録再生時間tとの関係は、次式(1)により表される。

【0066】

$$\dots\dots\dots (1)$$

上記サンプリングレートとして、特に制限されないが、44.1kHzはコンパクトディスクプレーヤと同等の超Hifiの音楽プログラムの再生に用い、22.05kHzはHifi音楽プログラムの再生に用い、11.024kHzはニュース等の情報プログラムの再生に用い、5.5125kHzは留守番電話機の再生等に用いる。上記のようにサンプリング周波数を2倍ずつに設定すると、プレーヤ101としては例えば44.1kHzに対応した1つの基準周波数を形成しておいて、それを1/2ずつ分周することにより簡単に形成することができる。したがって、上記のような4通りのサンプリング周波数 f_s に逆比例して記憶再生時間が長くなる。言い換えるならば、一定の記録再生時間を得るときには、サンプリングレート f_s に比例して記憶容量が増大する。

【0067】ビット長が8ビットと16ビットとの場合では、上記式(1)から明らかなように記録再生時間が2倍になる。ビット長を増加させると、それに対応して記憶回路701の記憶容量は2倍必要になる。これに対して、ビット長を8ビットに減らすと、同じ記憶容量のものでは記憶再生時間が2倍に拡大する。そして、ステレオモードでは、モノラルモードに比べて2倍のデータを必要とする。すなわち、ステレオモードのときには記憶回路701から右信号と左信号とが交互に出力されるからモノラルモードのときの2倍の記憶容量が必要になる。

【0068】この実施例では、デジタル信号のソースに対応して上記のようなサンプリングレート、ビット長及びモードの3通りの再生条件を設定し、それを任意に組み合わせることで再生可能にすることにより、限られた記憶回路の記憶容量を最大限に有効利用することができる。そして、これらの再生条件による多種で多様な組み合わせができるが、IDコード1308を用いてプレーヤ101に自動的に設定できるから、操作の煩わしさがなく、誰にでも簡単に受け渡された情報等の再生が可能になる。

【0069】上記サンプリングレートの種類あるいは周波数は任意にできる。この場合、それぞれのサンプリングレートに合わせてクロックパルスが発生させるようにすればよい。そして、IDコード1308は、端末装置の操作により指定可能なビットを付加するものであってもよい。例えば、上記残りビットにより、後述するような遅聴きモードや早聴きのモードの自動設定を行うようにしたり、プログラム単位での再生と全プログラムを連続して再生する等の再生モードの自動指定を行うものであってもよい。

【0070】図15には、量子化雑音除去回路の一実施例の回路図が示されている。

【0071】アナログ信号をデジタル化すると、必ず量子化雑音(誤差成分)が発生する。この量子化雑音は、特に無音時に耳ざわりなものとなる。この実施例で

は、デジタル/アナログ変換回路707の入力部に、次のような量子化雑音除去回路を設けるものである。

【0072】記憶回路701から読み出されたデジタル信号は、デジタル/アナログ変換回路707に入力されて、ここでアナログ信号Voutに変換される。特に制限されないが、この実施例の量子化雑音除去回路は、デジタル信号が2の補数コードにより構成される場合に向けられている。上記記憶回路701から読み出されたD0~Dnからなるデジタル信号は、論理積回路1510~151nを介してデジタル/アナログ変換回路707の対応する入力端子D0~Dnに入力される。上記記憶回路701から読み出されたデジタル信号は、同図に破線で示したようなレベル判定回路1507により無音とみなされるレベル判定が行われる。このレベル判定回路1507の無音とみなされる出力信号は、同図に破線で示されたタイマ回路1508に入力されて時間判定が行われる。上記レベル判定回路1507とタイマ回路1508とにより無音とみなされるレベルが一定時間継続すると、無音期間と判定されて論理否定回路1505を通した出力信号が論理0となり、上記論理積回路1510~151nのゲートを閉じるように制御する。すなわち、論理積回路1510~151nは、記憶回路701から読み出されるデジタル信号に無関係に、上記論理否定回路1505の出力信号の論理0によりデジタル/アナログ変換回路707に入力される入力信号D0~Dnを論理0に強制的に設定する。

【0073】デジタル信号D0~Dnは、上記のように2の補数コードにより構成される。すなわち、D0~Dnが8ビットからなるとき、正の最大値が01111111で、負の最大値が10000000となり、0レベルは00000000になる。なお、十進法の+1は上記2進法で00000001であり、十進法の-1は上記2進法では11111111となる。したがって、上記のように無音期間と判定されたなら論理積回路1510~151nの出力を0に固定することにより、無音期間での量子化雑音を完全にカットすることができる。

【0074】同図のレベル判定回路1507は、無音とみなす正の最大値+ ΔL と負の最大値- ΔL を設定可能にされる。例えば、+1を正の最大値+ ΔL すると、コンパレータ1501の入力Bは00000001が入力され、-1を負の最大値- ΔL とすると、コンパレータ1509の入力Bには11111111が入力される。これらのコンパレータ1501、1509の入力Aには、上記記憶回路701からのデジタル信号が入力される。コンパレータ1501は、 $A \leq B$ のときに1の出力信号を形成し、コンパレータ1509は $A \geq B$ のときに1の出力信号を形成する。これらのコンパレータ1501と1509の出力信号は論理積回路1502を介して出力される。それ故、デジタル信号が00000001、00000000、11111111ときに論理

積回路1502の出力が無音検出の1を出力する。

【0075】なお、デジタル信号が00000010のように、 $+\Delta L$ より大きいときにはコンパレータ1501の出力が0となり、デジタル信号が11111110のように $-\Delta L$ より小さいときにはコンパレータ1509の出力が0となる。これにより、論理積回路1502からはデジタル信号が上記無音となみすレベルの範囲内にあるときだけ1の出力信号を形成する。

【0076】タイマ回路1508は、カウンタ回路1503とコンパレータ1504から構成される。カウンタ回路1503のリセット入力Rには、上記レベル判定回路1507の検出出力が入力される。無音状態を判定するとカウンタ回路1503のリセットが解除されるため、カウンタ回路1503はクロックパルスCKの計数動作を開始する。カウンタ回路1503の計数出力はコンパレータ1504の入力Aに供給される。コンパレータ1504の入力Bには無音期間と見做すための設定時間tが入力される。これにより、コンパレータ1504は、無音レベルが継続して上記設定時間tを超えると、出力信号(A \geq B)を1にする。この出力信号は論理否定回路1505により反転されて上記論理積回路1510~151nに入力されるので、記憶回路701から読み出されるデジタル信号に無関係にデジタル/アナログ変換回路707の入力に供給されるデジタル信号は00000000の0レベルとされる。

【0077】レベル判定回路1507において、デジタル信号が上記 $\pm\Delta L$ を超えるレベルが入力されると、コンパレータ1501又は1509がそれを検知して出力を0にし、タイマ回路1508のカウンタ回路1503をリセットさせる。これにより、タイマ回路1508のコンパレータ1504の出力信号が0になり、論理否定回路1505を通して論理積回路1510~151nの制御入力を1に設定するので、デジタル/アナログ変換回路707の入力には記憶回路701から読み出されたデジタル信号が入力される。このようにして、無音期間が終了すると直ちに記憶回路701から読み出されたデジタル信号がアナログ信号に変換される。

【0078】上記タイマ回路1508の設定時間tは、本願発明者における実験結果によれば、音楽プログラムやニュースプログラム等の内容により異なるが、一般的にいつて0.5ms~20ms程度の時間が望ましい。もちろん、この範囲を多少超える時間に設定しても大きな問題は生じない。また、無音とみなすレベルは、入力ソースやその分解能に対応して切り換え可能にしてもよい。例えば、一般的にいつて16ビットのデジタル信号の場合には、8ビットのデジタル信号の場合に比べて範囲を大きく設定することが望ましい。また、デジタル信号は2の補数コードを用いる必要はなく、8ビットの場合には01111111又は10000000を交流的な中点レベルとするものであってもよい。このよ

うなデジタル信号とした場合には、デジタル/アナログ変換回路707の入力には、マルチプレクサやゲート回路の組み合わせて無音期間を検出したなら記憶回路701からのデジタル信号に代えて01111111又は10000000に切り換えるようにすればよい。

【0079】図16は、以上の動作を説明するための波形図が示されている。同図の1600aの波形は、記憶回路701からのデジタル信号をそのままデジタル/アナログ変換回路に入力してアナログ信号を形成した場合が示されている。同図に示すように、無音期間では量子化誤差分に対応して信号変化が行われるのでそれがノイズとして耳ざわりなものになってしまう。これに対して、この実施例の量子化雑音除去回路では、同図1600bに示すように無音とみなされるレベルが一定期間tだけ経過すると、論理積回路1510~151nにより強制的に0レベルに対応したデジタル信号がデジタル/アナログ変換されるので、上記ノイズが除去された0レベルの次の音声信号が到来するまで出力される。上記一定時間tは前記のように0.5ms~20ms程度と極く短いのでその間に出力される量子化雑音は耳ざわりなものになることはない。

【0080】この実施例の量子化雑音除去回路1500は、前記のようなプレーヤ101に用いられるもの他、デジタル・オーディオ・テープ・レコーダ等のようにデジタル音声信号を扱うもの等各種のデジタル音声処理回路として広く利用できる。

【0081】図17には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の一実施例の回路図が示されている。

【0082】デジタル化された音声情報等を商品として販売する場合には、それが簡単にコピーされてしまうことを防ぐことが、その商品価値を高める上で重要となる。そこで、第1に特定の者だけ実質的なデジタル信号の再生動作を行うようにする機能が付加される。第2に前記実施例のデジタル信号販売システムにおいて販売されるデジタル信号がプレーヤ101に転送されると、プレーヤ101の内部で次のような信号変換が行われて安易なコピーを防止する機能が付加される。

【0083】上記特定の者だけの再生動作を行うようにするため、あるいは特定の者によるコピーを許可するために、記憶回路701の読み出し出力部にはパスワードの判定信号によって制御される排他的論理和回路1700~170nが設けられる。この排他的論理和回路1700~170nは、読み出し信号D0~Dnの全ビットに対応して設けるもの他、少なくとも上位1ビットを含む1ないし複数のビットに対してのみ上記排他的論理和回路1700~170nを設けるものとしてもよい。

【0084】上記記憶回路701の入力データ端子には、前記端末装置100(サーバ)から転送されるデジタル信号がそのまま入力される。なお、記憶回路70

1の入力と出力とが共通化された半導体メモリを用いた場合には、メモリ回路のデータ端子が接続される信号バスに対して、読み出し信号経路に上記排他的論理和回路1700~170nが挿入される。記憶回路701は、アドレス更新パルスを受けるアドレスカウンタ702により生成されたアドレス信号により、デジタル信号の読み出しが行われる。

【0085】上記パスワードは、プレーヤ101にスイッチ又はROM等により予めセットされている。このパスワードはプレーヤ101の購入際に購入者に知らされる。それ故、プレーヤ101によりデジタル信号の再生を行うときには、上記パスワードをセットするようにする。図示しないコンパレータ等により登録されたパスワードと入力されたパスワードとが一致すると、パスワード判定信号が0にされる。それ故、排他的論理和回路は、0と一致した0が入力されると、0の一致信号が出力される。上記0と不一致の1が入力されると、1の不一致信号が出力される。このようにパスワード判定信号が0のときには、排他的論理和回路1700~170nは入力デジタル信号をそのままスルーして出力させる。

【0086】これに対して、図示しないコンパレータ等により登録されたパスワードと入力されたパスワードとが不一致と判定されるとパスワード判定信号が1にされる。それ故、排他的論理和回路は、1と一致した1が入力されると、0の一致信号が出力される。上記1と不一致の0が入力されると、1の不一致信号が出力される。このようにパスワード判定信号が1のときには、排他的論理和回路1700~170nは入力デジタル信号を反転して出力させる。上記のように全ビットのデジタル信号に対して排他的論理和回路1700~170nを設けると、パスワードが不一致のときには全ビットが逆転し、逆転されたビットをアナログ変換しても意味をなさない音声信号となって情報の機密保持を行う。また、コピーを行う場合にも、言い換えるならば、記憶回路701のデータを外部に出力する場合にもパスワードを必要とすることにより安易なコピーが防止できる。

【0087】ニュースや交通情報等のようにそれを機密にすることがあまり重要でないものもある。このような場合には、前記IDコード1308を利用してパスワードの無効にするものとしてもよい。言い換えるならば、IDコード1308により機密を必要とする場合にのみパスワードの一致を条件にして前記機密保護動作を行うようにするものであってもよい。このようにすれば、機密保護を行う必要のあるものを販売側で指定することができる。また、留守番電話を受け取ったとき、それを他人に聞かれない場合がある。このような場合には、端末装置100により上記機密保護を行うようIDコード1308による機密保護の指定が可能にするものとしてもよい。いずれにしても、IDコード1308により真に機密保護を行う場合にのみパスワードの入力を必要

とすることにより、操作の煩わしさを最小にすることができる。

【0088】図18には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例の回路図が示されている。この実施例では、パスワードの一致判定信号と排他的論理和回路1800~180nを用いた機密保護回路が記憶回路701のデータ入力端子側に設けられる。この場合でも、パスワードが不一致のときには記憶回路701に書き込まれるデジタル信号そのものの各ビット又は1ないし任意のビットが反転されて、意味をなさない音声信号に変換されるので、前記同様に機密保護を行うことができる。この場合には、端末装置100から機密保護を必要とするデジタル信号の転送が行われるときに、端末装置100のタッチキー等によりパスワードが入力されて一致した場合のみ、実質的に有効なデータの転送が行われ不一致の場合には上記のようにビットを反転させて実質的に意味を持たないデジタル信号を転送させる。これに代えて、転送動作そのものを停止させるものとしてもよい。

【0089】図19には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例の回路図が示されている。この実施例では、パスワードの一致判定信号と排他的論理和回路1900~190mを用いた機密保護回路が記憶回路701のアドレス入力端子側に設けられる。この場合には、パスワードが不一致のときには記憶回路701のアドレス選択が入力のときとは異なり、1ないし複数ビットが反転することにより、入力の際の連続したアドレスに対して出力のときには飛び飛びのアドレスに変化してしまう。この結果、このような飛び飛びのアドレスにより読み出されるデジタル信号はもはや音声情報として意味をなさないものになるので前記同様に機密保護を行うことができる。

【0090】図17又は図18の実施例と図19の実施例とを組み合わせて、データとアドレスの双方のそれぞれに1ないし複数の排他的論理和回路を用いた機密保護回路を設ける構成としてもよい。このようにすれば、データとそのアドレスの組み合わせにより、いっそう高い機密保護を行うようにすることができる。

【0091】図20には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例の回路図が示されている。この実施例は、主としてデジタル信号のコピー防止に向けられている。プレーヤ101には、EPROM等により個々のパスワードが登録されている。このパスワードはプレーヤ101の購入者自身も知らされない暗号コードとされる。

【0092】これらの暗号コードの各ビットは、記憶回路701の入力と出力にそれぞれ設けられた排他的論理和回路2000~200n, 2010~201nの一方の入力に供給される。同図では、記憶回路701のデー

タ入力とデータ出力の全ビットに対して排他的論理和回路が設けられるようにされているが、任意の1ないし複数のビットに対してのみ排他的論理和回路2000~200n, 2010~201nを設けるものとしてもよい。ただし、対応する入力と出力とは一対として上記排他的論理和回路2000~200n, 2010~201nがそれぞれに設けられる。

【0093】上記パスワードにより排他的論理和回路2000~200n, 2010~201nの入力が0にされたデータ入力ビットはそのままスルーして書き込まれ、パスワードにより排他的論理和回路2000~200n, 2010~201nの入力が1にされたデータ入力ビットは反転されて書き込まれる。

【0094】記憶回路701からの読み出されたデジタル信号は、上記同じパスワードにより制御される排他的論理和回路2000~200n, 2010~201nを通すことにより、前記のようにスルーのビットはそのままスルーとなり、反転されたビットは再び反転されるからもとにもどされる。これにより、入力デジタル信号と同じデジタル信号がデジタル/アナログ変換回路707に伝えられるので、音声再生には問題なく行われる。

【0095】これに対して、プレーヤ101のコネクタ側に対しては記憶回路701の読み出しをそのものを出力させる。言い換えるならば、書き込み回路側でパスワードによりビット変換されたデジタル信号を出力させる。これにより、コピーされたデジタル信号は、もとのデジタル信号とは異なり意味をなさないものとなるから実質的なコピー防止が可能になる。なお、上記のパスワードの解読は、デジタル回路の知識を持つ者であれば比較的簡単に行うことができる。しかし、前記のようなニュースや株式市況あるいは音楽プログラム等の販売価格からして、上記の機密保護を破壊する労力のほうがコスト的に高くなり意味をなさないであろう。すなわち、本願のデジタル信号販売システムにおける機密保護は安易なコピーや安易な盗聴が防げれば十分である。

【0096】図21には、この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例の回路図が示されている。この実施例は、前記のような排他的論理和回路によるビットのスルー/反転を行うものに代えて、並べ換え回路2101を用いる。例えば、並べ換え回路2101は、2つの信号経路をもち1つは入力信号をそのまま出力させるものと、他の1つは入力側ビットD0~Dnに対して出力側ビットD0~Dnの空間的な入れ変えを行うもの、具体的には、最下位ビットD0を最上位ビットDnとして出力させたり、D1をD2として出力させるものである。パスワード判定信号が不一致なら上記並べ換えを行うことにより、デジタル信号を意味をなさないものに破壊して出力させる。この並べ換え回路2101は、図18の排他的論理

和回路に代えて入力側データに設けるものとしてもよいし、図19の排他的論理和回路に代えてアドレス入力側に設けるものとしてもよい。

【0097】図22は、上記機密保護回路に用いられる並べ換え回路2101の一実施例の具体的回路図が示されている。

【0098】同図には、複数ビットからなるデジタル信号に対して、1ビット分の並べ換え回路が代表として例示的に示されている。

【0099】D0~Dnからなる複数ビットの入力デジタル信号は、切換回路2201によりいずれか1つが選択されて出力端子から最下位ビットD0として出力される。切換回路2201は、デコーダ2202により形成された選択信号によりD0~Dnの中から1つを選択して出力させる。

【0100】上記デジタル信号D0~Dnが8ビットの場合、乱数回路2204では3ビットの乱数(十進法で0~7)を発生させて、マルイプレクサ2203の入力端子Bに供給する。このマルイプレクサ2203の他方の入力端子Aには、上記出力ビットD0に対応した十進法の0を指定する3ビットの2進信号(000)が入力される。そして、マルイプレクサ2203の選択端子Sにはパスワード判定信号が入力される。パスワード判定信号は、パスワードが一致したときには論理0となり、マルイプレクサ2203の入力Aの信号を出力Yから送出させる。

【0101】上記のようにパスワードが一致したときには、出力ビットD0に対応した十進法の0がマルイプレクサ2203を通してデコーダ2202に入力されるので、デコーダ2202は切換回路2201に対して入力ビットD0の選択信号を形成して供給する。これにより、切換回路2201では入力信号D0が出力信号D0としてそのまま出力される。これに対して、パスワードが不一致のときには、乱数回路2204により生成された3ビットの信号が選ばれてデコーダ2202に入力される。これにより、デコーダ2202は3ビットの信号を解読して8ビットの入力信号D0~Dnの中から1つの選択信号を形成する。上記入力信号D0が選ばれる確率は1/8である。残りの7ビットの出力信号についても上記同様な回路が設けられるので、パスワードが不一致でも入力信号D0~Dnがそのまま出力される確率は、 $1 / (8 \times 8 \times 8 \times 8 \times 8 \times 8 \times 8 \times 8) = 1 / 16777216$ のように極めて低くなり機密保護が可能になる。この回路の特徴は、乱数回路2204によりその都度ビットの入れ変えの組み合わせが異なるので、出力されたビット列から真のデータを解読することを実質的に不能にすることができる。

【0102】次に、デジタル信号のコピー防止、すなわちプレーヤ101の記憶回路701に記憶されたデジタル信号を外部より正しく読み出せないようにする機

能の実施例について説明する。通常、プレーヤ101のデータ端子(図4のD)は、入力と出力が兼用になっている。そして、データ端子を出力状態にするための出力イネーブル信号が与えられる。すなわち、論理レベルは特に限定されないが、プレーヤ101は出力イネーブル信号が有効(本願では論理1)なときのみデータ端子が出力状態になる。したがって、コピー防止回路は、特に限定されないがデータの読み出し経路に係る部分に挿入する。

【0103】図23には、この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の一実施例の回路図が示されている。特定の者によるコピーを許可するために、記憶回路701の読み出し出力部にはパスワードの判定信号によって出力イネーブル信号OEを制御する論理積回路2301と出力イネーブル信号OEによって出力が制御されるバッファ回路23000~2300nが設けられる。このバッファ回路23000~2300nは、制御入力論理1にならない限り出力をハイインピーダンス状態に保つ。通常このバッファ回路23000~2300nは、読み出し信号D0~Dnの全ビットに対応して設けるものである。

【0104】上記記憶回路701の入力データ端子には、上記端末装置100から転送されるデジタル信号がそのまま入力される。なお、記憶回路701の入力と出力とが共通化された半導体メモリを用いた場合には、メモリ回路のデータ端子が接続される信号バスに対して、読み出し信号経路上記バッファ回路23000~2300nが挿入される。記憶回路701は、図示しない上記アドレスカウンタ703により生成されたアドレス信号により、デジタル信号の読み出しが行われる。また、出力イネーブル信号OEはパスワードの判定信号とともに論理積回路2301に入力され、パスワード判定信号を論理否定回路2302で反転した信号によって制御される。

【0105】上記パスワードは、プレーヤ101にスイッチ又はROM等により予めセットされている。このパスワードはプレーヤ101の購入際に購入者に知らされる。それ故、プレーヤ101により記憶したデジタル信号を読み出すときは、上記パスワードをセットするようにする。図示しないコンパレータ等により登録されたパスワードと入力されたパスワードとが一致すると、パスワード判定信号が論理0にされ、論理否定回路2302で反転された後論理積回路2301に入力される。それ故、論理積回路2301は、出力イネーブル信号OEが論理0の時論理0を出力し、出力イネーブル信号OEが論理1の時論理1を出力する。このように、パスワード判定信号が論理0のときには、出力イネーブル信号OEによってバッファ回路23000~2300nの制御を可能にする。

【0106】これに対して、図示しないコンパレータ等

により登録されたパスワードと入力されたパスワードとが不一致と判定されるとパスワード判定信号が論理1にされ、論理否定回路2302で反転された後論理積回路2301に入力される。それ故、論理積回路2301は、出力イネーブル信号OEが論理0であっても論理1であっても論理0を出力する。このように、パスワード判定信号が論理1のときには、出力イネーブル信号OEに関係なくバッファ回路23000~2300nの出力をハイインピーダンス状態にする。したがって、記憶回路701のデータを外部に出力する場合にパスワードを必要とすることにより安易なコピーが防止できる。

【0107】図24には、この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の他の一実施例の回路図が示されている。この例では、記憶回路701の読み出し出力部に、パスワードの判定信号によって記憶回路701の出力を制御する論理積回路24010~2401nと出力イネーブル信号OEによって出力が制御されるバッファ回路24000~2400nが設けられる。この場合でも、パスワードの不一致判定信号によって前記同様にコピーを防止することができる。なお、本実施例より、この場合にはデータの1ビットないし任意のビットが対象となり、論理積回路に替えて論理和回路や排他的論理和回路等を使用できることは容易に類推できる。

【0108】図25には、この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の更に他の一実施例の回路図が示されている。この実施例は、パスワードの一致判定信号と論理積回路25000~2500mを用いた機密保護回路が記憶回路701のアドレス入力端子側に設けられる。この場合には、パスワードが不一致のときには記憶回路701のアドレス選択が入力のときとは異なり、1ないし複数ビットが論理0に固定されることにより、入力のときの連続したアドレスに対して出力のときには飛び飛びのアドレスに変化してしまう。この結果、このような飛び飛びのアドレスにより読み出されるデジタル信号はもはや正しい情報として意味をなさないものになるので前記同様に機密保護を行うことができる。なお、本実施例からも図24に示す実施例と同様に、アドレス入力の1ビットないし任意のビットが対象となり、論理積回路に替えて論理和回路や排他的論理和回路等を使用できることは容易に類推できる。

【0109】図26には、この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の更に他の一実施例の回路図が示されている。この実施例は、前記のような論理積回路によるビットの制御を行うものに代えて、図21の実施例と同様に並べ換え回路2101を用いる。例えば、並べ換え回路2101は、2つの信号経路をもち1つは入力信号をそのまま出力させるものと、他の1つは入力側ビットD0~Dn

に対して出力側ビットD0～Dnの空間的な入れ変えを行うもの、具体的には、最下位ビットD0を最上位ビットDnとして出力させたり、D1をD2として出力させるものである。パスワード判定信号が不一致なら上記並べ換えを行うことにより、デジタル信号を意味をなさないものに破壊して出力させる。

【0110】図27は、上記機密保護回路に用いられる図22と同様の並べ換え回路2101の一実施例の具体的回路図が示されている。

【0111】同図には、複数ビットからなるデジタル信号に対して、1ビット分の並べ換え回路が代表として例示的に示されている。

【0112】D0～Dnからなる複数ビットの入力デジタル信号は、切換回路2201によりいずれか1つが選択されて出力端子から最下位ビットD0として出力される。切換回路2201は、デコーダ2202により形成された選択信号によりD0～Dnの中から1つを選択して出力させる。

【0113】上記デジタル信号D0～Dnが8ビットの場合、乱数回路2204では3ビットの乱数(十進法で0～7)を発生させて、マルチプレクサ2203の入力端子Bに供給する。このマルチプレクサ2203の他方の入力端子Aには、上記出力ビットD0に対応した十進法の0を指定する3ビットの2進信号(000)が入力される。そして、マルチプレクサ2203の選択端子Sにはパスワード判定信号が入力される。パスワード判定信号は、パスワードが一致したときには論理0となり、マルチプレクサ2203の入力Aの信号を出力Yから送出させる。

【0114】上記のようにパスワードが一致したときには、出力ビットD0に対応した十進法の0がマルチプレクサ2203を通してデコーダ2202に入力されるので、デコーダ2202は切換回路2201に対して入力ビットD0の選択信号を形成して供給する。これにより、切換回路2201では入力信号D0が出力信号D0としてそのまま出力される。これに対して、パスワードが不一致のときには、乱数回路2204により生成された3ビットの信号が選ばれてデコーダ2202に入力される。これにより、デコーダ2202は3ビットの信号を解読して8ビットの入力信号D0～Dnの中から1つの選択信号を形成する。上記入力信号D0が選ばれる確率は1/8である。残りの7ビットの出力信号についても上記同様な回路が設けられるので、パスワードが不一致でも入力信号D0～Dnがそのまま出力される確率は、 $1/(8 \times 8 \times 8 \times 8 \times 8 \times 8 \times 8 \times 8) = 1/16777216$ のように極めて低くなり機密保護が可能になる。この回路の特徴は、乱数回路2204によりその都度ビットの入れ変えの組み合わせが異なるので、出力されたビット列から真のデータを解読することを実質的に不能にすることができる。

【0115】図28には、この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の更に他の一実施例の回路図が示されている。この実施例は、図26の実施例と同様に並べ換え回路2801をアドレス入力に用いたものである。また図29に、上記機密保護回路に用いられる図27と同様の並べ換え回路2801の一実施例の具体的回路図が示されている。本実施例は、図26及び図27の実施例と比較して、データとアドレスのビット長が異なる以外概念は全く同じである。

【0116】図30には、高音質での早聴きと遅聴き再生を実現したデジタル音声信号処理回路の一実施例のブロック図が示されている。

【0117】前記のようなデジタル信号販売システムでは、ニュースや各種市況といった情報は、短時間での聞取りを行うために早聴き再生が有効とされる。また、プレーヤの利用者が老人等である場合には、単に聴力の低下ばかりか、言葉そのものの理解に時間を要するため、遅聴き機能を付加することが有効とされる。

【0118】従来のカセットテープレコーダ等のようなアナログ式の録音装置では、テープスピードを、録音時間に対して再生時間を変えることにより遅聴きや早聴きを行うようにすることができる。しかし、このようにテープスピードを変化させると、同時にピッチ(周波数)も変わってしまい、原音に対する忠実性が失われる結果、非常に聞きづらいものになってしまう。

【0119】そこで、デジタル信号プロセッサ等を用いた信号処理技術を利用することにより、上記ピッチを変えずに再生速度を変えることも考えられる。しかし、このようにすると、構成が複雑になるとともに、消費電力も増大して前記のような携帯プレーヤに搭載できないばかりか価格も高価になってしまう。さらに、音声にしか効果がなく、音楽プログラムの再生が困難となる。

【0120】この実施例では音声情報に含まれる無音期間を活用し、早聴き再生のときには無音期間を短縮ないし実質的に削除して再生し、遅聴き再生のときには無音期間を拡大ないし延長して再生させるようにするものである。このような方式を採ることにより、早聴きや遅聴き再生においても、原音のピッチそのものは変化がないから高音質を維持させることができる。そして、その構成は、後述するように比較的簡単な論理回路の組み合わせにより構成でき、デジタル信号処理プロセッサ等のような高価で複雑な装置を用いる必要がなく、安価でかつ小型化が可能となる。

【0121】上記図30の実施例は、前記デジタル信号販売システムのプレーヤ101に搭載された例が示されている。

【0122】記憶回路701から読み出されたデジタル音声信号は、デジタル/アナログ変換回路707に入力されるとともに、無音期間検出回路3002にも入

力される。この無音期間検出回路3002は、前記図15図の実施例の量子化雑音除去回路1500に用いられたと同様な回路を利用できる。前記量子化雑音除去回路1500も搭載した場合にはそれと共用化して無音期間検出回路3002を用いるのもであってもよい。この無音期間検出回路3002の出力信号は、早聴き／遅聴き回路3003に入力される。早聴き／遅聴き回路3003は、モード1とモード2の制御信号を受けて、早聴き又は遅聴きの指定が行われる。この早聴き／遅聴き回路3003は、上記モード信号に対して上記記憶回路701の読み出しアドレス信号を形成するアドレスカウンタ703の動作制御を行う。例えば、モード1により早聴きが指定されたなら、無音期間が検出されるとクロックの周波数を通常より速くして無音期間での記憶回路701の読み出しを速することにより、無音期間を実質的に短くして早聴き再生とする。

【0123】逆に、モード2により遅聴きが指定されたなら、無音期間が検出されるとクロックの周波数を通常より遅く又は一定期間停止して無音期間での記憶回路701の読み出し時間を拡大ないし延長させることにより遅聴き再生とする。なお、アドレスカウンタ703の出力信号は、マルチプレクサ702を介して記憶回路701に入力される。マルチプレクサ702は、記憶回路701に対してデジタル信号を書き込むときには、外部のアドレス信号を記憶回路701に入力させ、メモリ回路に記憶されたデジタル信号を読み出すとき、言い換えるならば、デジタル信号の再生動作のときにはアドレスカウンタ703により生成されたアドレス信号を記憶回路701に入力させる。

【0124】図31には、早聴き回路の具体の一実施例のブロック図が示されている。

【0125】この実施例では、無音期間検出回路3002の出力信号は、一方において論理否定回路3102を介して論理積回路3103に入力される。この論理積回路3103は、記憶回路701からのデジタル信号をデジタル／アナログ変換回路707に入力するゲート回路であり、前記量子化雑音除去回路1500と同じ構成にされる。すなわち、この実施例では、無音期間での早聴きとともにその間の量子化雑音も同時に除去しようとするものである。

【0126】上記無音期間検出回路3002の出力信号は、マルチプレクサ3101の制御端子Sに入力される。マルチプレクサ3101は、制御端子Sに入力される無音期間検出回路3002の出力信号に応じて2つのクロックパルスCK1とCK2を選択的にアドレスカウンタ703に入力する。例えば、クロックパルスCK1は、通常再生に対応したクロックパルスであり、前記のデジタル信号のサンプリングレートに対応した周波数を持つようにされる。これに対して、クロックパルスCK2は、早聴き用に用いられ上記クロックパルスCK1

の約10倍程度の高い周波数にされる。

【0127】早聴きモードが指定されている場合、無音期間検出回路3002において無音と判定されたなら出力信号がハイレベル（論理1）になる。これを受けて論理否定回路3102の出力信号がローレベル（論理0）となって、論理積回路3103のゲートを閉じてしまうので、前記のような2の補数コードのデジタル信号の場合には、無音期間においてデジタル／アナログ変換回路707に入力されるデジタル信号が強制的に0レベルに対応したものとされる。また、上記無音期間検出回路3002の出力信号のハイレベルにより、マルチプレクサ3101はクロックCK1に変えてクロックCK2をアドレスカウンタ703に入力する。これにより、アドレスカウンタ703は、通常の再生動作の約10倍の速度でアドレス更新動作を行う。これにより、無音期間が約1/10に短縮されて、等価的に早聴き再生が行われる。

【0128】本願発明者の実験によれば、原稿を読むというニュースプログラムから各種会話や講演等の全体の再生時間に対して無音期間の占める割合は比較的長く約30%～50%にもなる。これの無音期間を実質的に無くすることにより、再生時間を約2/3～1/2に短縮させることができるものとなる。

【0129】上記無音期間が終了すると、直ちにもとの通常再生に戻るから音質は原音と同じくなり、聞取りが極めて容易になるものである。なお、この実施例回路において、早聴き機能を停止させる場合は、例えば無音期間検出回路3002の出力信号を新たに追加された論理積回路等を通してマルチプレクサ3101の制御端子Sに入力させればよい。そして、早聴きを行わないときには上記論理積回路の入力に0を入力すれば、マルチプレクサ3101の制御端子Sは常にローレベルにされるから、無音期間でもクロックCK1がアドレスカウンタ703に入力されて無音期間に対応した時間だけ無音レベルが出力される。このときには、論理積回路3103が前記のような量子化雑音除去回路として作用して、その間の量子化雑音の発生を防止する。

【0130】図32には、遅聴き回路の具体の一実施例のブロック図が示されている。

【0131】この実施例では、遅聴き再生のために真の無音期間に比例して拡大された無音期間を作り出すようにするものである。前記のような無音期間検出回路3002の出力信号は、一方においてフリップフロップ回路3201のセット入力Sに供給され、他方において論理積回路3210の一方の入力に供給される。この論理積回路3210の他方の入力には、無音期間を測定するためのクロックパルスCK3が入力される。論理積回路3210の出力信号は、無音期間カウンタ3202に入力される。無音期間カウンタ3202は、無音期間検出回路3002により無音と判定された間、上記クロックパ

ルスCK3を計数することにより、その無音時間に対応した計数動作を行う。カウンタ3205は論理積回路3211を介して入力される上記クロックパルスCK3の計数動作を行う。上記無音期間カウンタ3202は、上記無音期間の時間計測とともにその情報保持動作を行うものであり、この無音時間情報と同じクロックパルスCK3を計数するカウンタ3205により上記無音時間の再現動作が行われる。すなわち、上記無音期間カウンタ3202とカウンタ3205の出力はコンパレータ3203に入力され、その一致出力A=BがNカウンタ3204により計数される。

【0132】Nカウンタ3204は、無音期間をN倍に指定するためのものであり、特に制限されないが、N値は可変にされる。Nカウンタ3204は、プログラマブルカウンタであり、計数値QがNに一致すると、一致信号Q=Nを出力して、上記フリップフロップ回路3201をリセットさせる。このNカウンタ3204は、ダウンカウンタ回路を用いて実現することもできる。計数値が初期値Nからダウンカウント動作を行い0になったときのボロー出力により、上記フリップフロップ回路3201をリセットさせるようにするものであってもよい。

【0133】フリップフロップ回路3201の出力信号Qは、一方において論理否定回路3209により反転されて前記量子化雑音除去機能を持つ論理積回路3208の制御信号として用いられる。そして、上記フリップフロップ回路3201の出力信号Qは、他方において上記カウンタ3205にクロックパルスCK3の供給を行う論理積回路3211の制御や、論理否定回路3207を介して論理積回路3206の制御信号とされる。この論理積回路3206は、アドレスカウンタ703に前記クロックパルスCK1を選択的に供給するゲート回路として作用する。

【0134】この実施例回路の動作は、次の通りである。無音期間検出回路3002において無音期間が検出されると、論理積回路3210がゲートを開いてクロックパルスCK3を無音期間カウンタ3202に入力する。これにより、無音期間検出回路3002により無音状態として判定されいている間、無音期間カウンタ3202はクロックパルスCK3の計数動作を行う。無音期間検出回路3002により音声デジタル信号が入力されると判定されると、その検出信号のハイレベルからローレベルへの変化に同期して、フリップフロップ回路3201がセットされる。これにより、出力信号Qがハイレベルになり、記憶回路701からのデジタル信号に代えて無信号レベルに対応したデジタル信号をデジタル/アナログ変換回路707に供給する。

【0135】上記フリップフロップ回路3201の出力信号Qの論理1への変化に応じて論理否定回路3207の出力信号が論理0となり、論理積回路3206のゲートを閉じてしまう。これにより、アドレスカウンタ70

3にはクロックパルスCK1が供給されないので、アドレスカウンタ703は前のアドレスを保持したままにされる。言い換えるならば、記憶回路701の読み出し動作が停止させられる。上記フリップフロップ回路3201の出力信号Qの論理1への変化により、論理積回路3211がゲートを開くので、カウンタ3205はクロックパルスCK3の計数動作を開始する。この計数値が上記無音期間カウンタ3202の計数値と等しくなると、コンパレータ3203が一致信号A=Bを出力して、Nカウンタ3204を動作させるとともにカウンタ3205をリセットする。以上の動作の繰り返しにより、Nカウンタ3204がN値を計数すると、フリップフロップ回路3201がリセットされる。すなわち、上記無音期間カウンタ3202により計測された無音時間がN倍されると、フリップフロップ回路3201がリセットされる。このフリップフロップ回路3201のリセットにより、論理積回路3206がゲートを再び開いて、クロックパルスCK1をアドレスカウンタ703に入力する。これにより、記憶回路701からの実質的なデジタル信号の読み出しが再開されるとともに、論理積回路3208がゲートを開いて読み出されたデジタル信号をデジタル/アナログ変換回路707に供給するので、音声信号が再び出力されることになる。この構成では、無音期間の拡大がもとの原音の無音期間に比例するものである。それ故、会話や講演の間が、それぞれに従って拡大されるので聞取り易くなるものである。

【0136】なお、無音期間をカウントするとき、前記のような量子化雑音が出来てしまう。この無音期間のカウント時の量子化雑音を除去するためには、例えば、無音期間検出回路3002の出力信号を論理否定回路を介して反転させて論理積回路3208を制御するものとすればよい。この場合は、論理積回路3208は3入力の論理積回路が用いられ、無音期間のカウント時には上記追加された無音期間検出回路3002の出力信号により量子化雑音が除去され、それ以降の無音期間が拡大される間は、前記のようにフリップフロップ回路3201の出力信号Qにより量子化雑音が除去される。

【0137】図33には、前記図31の早聴き回路に対応した動作波形図が示されている。原信号3301の無音期間3303(Tm1)や3304(Tm2)が、その間をアドレスカウンタ703に供給されるクロックパルスを切り換えて実質的に削除することができるから、音声信号のピッチ(周波数)を変えることなく、言い換えるならば、音声信号の音質を劣化させることなく早聴きが可能になる。

【0138】図34には、前記図32の遅聴き回路に対応した動作波形図が示されている。原信号3301の無音期間3303(Tm1)や3304(Tm2)が、カウンタ3205及びNカウンタ3204によりその間のアドレスカウンタ703の動作が停止されてn倍にそれ

ぞれ拡大されるから、音声信号のピッチ（周波数）を変えることなく、言い換えるならば、音声信号の音質を劣化させることなく遅聴きが可能になる。

【0139】図35には、この発明に係る早聴き回路の他の一実施例のブロック図が示されている。

【0140】この実施例では、早聴き再生のためにアドレスカウンタ3503に加算回路3501を用いてアドレス生成動作そのものを切り換えるようにするものである。すなわち、アドレスカウンタ3503は、加算回路3501とその加算出力A+Bを受けるレジスタ3502からなり、レジスタ3502の出力信号Qが加算入力Aに帰還されるとともに、記憶回路701の読み出しアドレスとしてマルチプレクサ702に入力される。

【0141】加算回路3501の他方の入力Bには、マルチプレクサ3504を介して1と正の整数Mが選択的に入力される。このマルチプレクサ3504の制御端子Sには、無音期間検出回路3002の出力信号が供給される。無音期間検出回路3002の出力信号は、前記実施例と同様に論理否定回路3209を介して量子化雑音除去を行う論理積回路3505にも供給される。

【0142】無音期間検出回路3002により無音期間と判定されると、マルチプレクサ3504は1に代えてMを選択して加算回路3501に伝える。したがって、無音期間に入る前には、加算回路3501は、レジスタ3502により形成されたアドレス信号に+1の加算を行って次のアドレス信号を生成するという+1のカウント動作を行うものである。これに対して、上記のように無音期間と入ると、マルチプレクサ3504はMを加算回路3501に inputs する。この結果、加算回路3501はレジスタ3502により形成されたアドレス信号に+Mの加算を行って、Mアドレス分スキップさせたアドレス信号を生成する。これにより、無音期間でのアドレス更新動作が等価的に高速になって前記同様に無音期間の実質的な削除が行われる。

【0143】図36には、この発明に係る遅聴き回路の他の具体的実施例のブロック図が示されている。

【0144】この実施例では、遅聴き再生のために遅聴き用のクロックパルスCK4が用意される。すなわち、前記図31に示した早聴き回路とは逆に、遅聴き用に遅いクロックパルスCK4を用意して、無音期間に入るとマルチプレクサ3601を切り換えて通常のクロックパルスCK1から遅聴き用のクロックパルスCK4に切り換える。上記クロックパルスCK1に対してクロックパルスCK4の周波数の $1/N$ に低くすると、アドレスカウンタ703の動作がN倍に遅くなり、無音期間を等価的にN倍に拡大できる。

【0145】この実施例では、前記図31と同様な回路により構成できるから、マルチプレクサ3601の入力Bに対して同様なマルチプレクサ又は適当な切り換え回路を介して早聴きモードのときにはクロックパルスCK

2を、遅聴きモードのときにはクロックパルスCK4をそれぞれ選択的に供給するようにすれば早聴きと遅聴き再生が可能になる。

【0146】図37には、この発明に係る遅聴き回路の具体的他の一実施例のブロック図が示されている。

【0147】遅聴きモードにおいては、前記のように利用者が老人等である場合の聞き取りを便利するものである。したがって、比較的長い無音期間に対してもその期間の拡大や延長を行うと、かえって聞き取りにくくなることとなる。そこで、この実施例では遅聴きモードでの無音期間の拡大ないし延長に一定の制限を設ける機能を付加するものである。

【0148】この実施例は、前記図32に示した遅聴き回路を基本にして、次のような回路が付加される。無音期間カウンタ3202の出力信号Qは、乗算回路3703に供給されてN倍にされる。このN倍にされた乗算出力は、マルチプレクサ3705の一方の入力Aと、コンパレータ3706の一方の入力Aに供給される。上記無音期間カウンタ3202の出力信号Qは、コンパレータ3707の一方の入力Aに供給される。上記マルチプレクサ3705及び2つのコンパレータ3706、3707の他方の入力には、無音期間の最大延長時間Kが入力される。上記無音期間をN倍にするN値や、最大延長時間Kは、特に制限されないが、プレーヤの利用者において一定の範囲で任意に設定できるようにされる。特に制限されないが、最大延長時間Kは、1～5秒の範囲で調整可能にされる。本願発明者等による遅聴き試験の結果では3秒程度が適当であると判定された。

【0149】コンパレータ3704の一方の入力Aには延長用カウンタ3702の出力信号Qが供給され、他方の入力Bには上記マルチプレクサ3705の出力信号Yが供給される。上記マルチプレクサ3705の制御端子Sにはコンパレータ3706の出力信号が供給される。そして、コンパレータ3704と3707の出力信号は、論理和回路G4を通してフリップフロップ回路3714のリセット端子R、無音期間カウンタ3202のリセット端子R及び延長用カウンタ3702のリセット端子Rに供給される。上記フリップフロップ回路3714は、前記同様に無音期間検出回路3002の立ち下がり、言い換えるならば、原信号3301の無音期間の終了タイミングでセットされる。このフリップフロップ回路3714の出力信号Qは、論理否定回路3713を介して前記のような論理積回路3712の制御と、延長用カウンタ3702の計数動作を制御する論理積回路3711及び論理否定回路3709を介してアドレスカウンタ703の計数動作を制御する論理積回路3708に供給される。

【0150】図38には、図37の動作の一例を説明するための動作概念図が示されている。処理前は原信号3801であり、Tmaxは最大延長時間Kに相当する。

このように処理前の原信号3801の無音期間Tdが、上記最大延長時間Kより大きい場合にはコンパレータ3707の入力Aに供給される無音期間カウンタ3202の出力信号Qが、コンパレータ3707の入力Bに供給される最大延長時間Kより大きくなると、コンパレータ3707の比較出力 $A \geq B$ が論理1になる。これにより、論理和回路3701を通してフリップフロップ回路3714、無音期間カウンタ3202及び延長用カウンタ3702をリセットしてしまうので、等価的に遅聴きモードが無効にされる。これにより、遅聴き動作処理前と処理後では同じとなる。このように、原信号3801での無音期間が遅聴きの目的を超えるように長い場合には実質的に無音期間の延長動作が無効にされる。

【0151】図39には、図37の動作の他の一例を説明するための動作概念図が示されている。同図においても上記と同様に処理前は原信号3901であり、Tmaxは最大延長時間Kに相当する。このように処理前の原信号3901の無音期間Tdは、上記最大延長時間Kより短い、それがN倍されると最大延長時間Kより長くなるような場合には、乗算回路3703により求められた無音時間 $Td \times N$ が最大延長時間Kより大きくなることをコンパレータ3706が検出して、その比較出力 $A \geq B$ を論理1にする。この比較出力信号の論理1に応じて、マルチプレクサ3705は入力Aの乗算出力 $Td \times N$ に代えて入力Bの最大延長時間Kをコンパレータ3704に伝える。これにより、延長用カウンタ3702の出力信号Qが上記最大延長遅延時間を超えるとコンパレータ3704の比較出力 $A \geq B$ が論理1になり、論理和回路3701を通してフリップフロップ回路3714、無音期間カウンタ3202及び延長用カウンタ3702をリセットする。このようにして、処理後の信号3902においては無音期間の延長時間が上記最大延長時間を超えないように制限される。

【0152】図40には、図37の動作の更に他の一例を説明するための動作概念図が示されている。同図においても上記と同様に処理前は原信号4001であり、Tmaxは最大延長時間Kに相当する。このように処理前の原信号4001の無音期間Tdが上記最大延長時間Kより短く、かつそれをN倍したものが最大延長時間Kより短くなるような場合には、乗算回路3703により求められた無音時間 $Td \times N$ が最大延長時間Kより小さくなることをコンパレータ3706が検出して、その比較出力 $A \geq B$ を論理0にする。この比較出力信号の論理0に応じて、マルチプレクサ3705は入力Aの乗算出力 $Td \times N$ をコンパレータ3704に伝える。これにより、延長用カウンタ3702の出力信号Qが上記拡大された無音期間 $Td \times N$ を超えるとコンパレータ3704の比較出力 $A \geq B$ が論理1になり、論理和回路3701を通してフリップフロップ回路3714、無音期間カウンタ3202及び延長用カウンタ3702をリセットす

る。このようにして、処理後の信号4002においては無音期間がN倍に拡大されたものとなる。

【0153】図41には、早聴きと遅聴き動作の他の一実施例を説明するための波形図が示されている。

【0154】この実施例では、早聴きや遅聴きの他にデータ圧縮機能をも行うようにするものである。逆に言えば、原信号3301の無音期間3303、3304を処理信号4101のように無音信号4102(MK)に置き換えるものである。なお、同図の無音信号4102

(MK)はその挿入位置を示すものであり、実際にアナログ変換されるときには無音信号4102(MK)が挿入された部分は無音状態にされるものである。このような無音信号4102(MK)を挿入させることにより、無音期間3303、3304が数バイトのような情報に置き換えられるから、アナログ変換される前のデジタル信号に含まれる無音期間3303、3304を実質的に無くすることができる。この結果、デジタル信号の記憶に必要な記憶容量が全体に対する無音期間が占める割合分だけ、前記のように約 $1/2 \sim 2/3$ 程度に減少させることができる。このようなデータ圧縮方法を採用した場合には、上記無音信号4102(MK)を利用することにより、選択的にそれを拡大させたり、縮小させたりすることにより遅聴きや早聴き動作を行わせることができる。このようなデータ圧縮には、基本的には前記のような早聴き回路を利用することができる。早聴き回路では、無音期間の量子化雑音を除去するために0レベルを出力させるようにしたが、それに代えて無音信号4102(MK)を挿入させるようにすればよい。

【0155】図42には、無音信号4102(MK)の一実施例のビットパターン図が示されている。

【0156】無音信号4102(MK)は、無音マーク4203と無音期間情報4204とから構成される。無音マーク4203は、通常の音声デジタル信号ではあり得ないビットパターンの組み合わせが選ばれる。この実施例では、デジタル信号が2の補数コードからなる場合、正の最大値4201(01111111)と負の最大値4202(10000000)の組み合わせを用いる。通常の音声信号として正の最大値から負の最大値に変化することはないので、この組み合わせを無音マークとして用いる。上記無音マーク4203としては、上記の場合とは逆の組み合わせ、あるいは2バイトの他、3バイトあるいは4バイトを組み合わせで構成してもよい。

【0157】無音期間情報4204は、特に制限されないが、2バイト分用意されている。これより長い無音期間にも対応させるために、無音期間情報4204に3バイトや4バイト等を用いるものであってもよい。

【0158】図43には、上記のようなデータ圧縮が行われたデジタル信号に対する早聴き/遅聴きモードを含むデジタル信号再生回路の一実施例のブロック図が

示されている。

【0159】アドレスカウンタ703には、論理積回路4311を介してアドレスカウンタ用クロックADCKが供給される。記憶回路701の読み出し信号は、前記のように無音信号4102 (MK) が2バイトの無音マーク4203と2バイトの無音時間からなるときには、それに対応して4段のシフトレジスタ4301a~4301dを通して出力される。これらのシフトレジスタ4301a~4301dは、論理積回路4312を介してデータシフトクロックDSCKが供給される。上記シフトレジスタ4301d, 4301cの出力AとBは、マーク検出回路4303に入力される。マーク検出回路4303は、上記信号AとBのビットパターンが前記正の最大値4201 (01111111) と負の最大値4202 (10000000) に一致するか比較判定を行う。マーク検出回路4303の検出信号は、フリップフロップ4308と4309のセット信号として用いられる。シフトレジスタ4301bと4301aの出力CとDは、コンパレータ4304の一方の入力Aに供給される。このコンパレータ4304の他方の入力Bには無音カウンタ4305の出力信号が供給される。上記コンパレータ4304の出力信号は、論理和回路4315を介して無音カウンタ4305のリセット端子Rと、無音期間の延長に用いられる繰返カウンタ4306の入力CKに供給される。この繰返カウンタ4306の出力Qはコンパレータ4307により延長倍率Nと比較される。

【0160】フリップフロップ回路4309の出力Qは、論理否定回路4314を介して上記論理和回路4315、及び論理積回路4311と4312に供給される。これにより、無音マーク4203が検出されるとアドレスカウンタ703の動作及びシフトレジスタ4301a~4301dのシフト動作が停止されて、無音信号4102 (MK) がシフトレジスタ4301a~4301dに保持される。このとき、記憶回路701もアドレスカウンタ703の動作停止に従い読み出し停止状態にされる。上記コンパレータ4307の出力信号は繰返カウンタ4306とフリップフロップ回路4309のリセット端子Rに供給される。

【0161】フリップフロップ回路4308の出力Qは、無音フラグFLGとされ、論理否定回路4313を介して論理積回路4310の制御信号とされる。このように無音マーク4203が検出されると、直ちに論理積回路4310が閉じられて、正の最大値4201、負の最大値4202や続いて出力される時間情報4204が音声信号として誤って出力されてしまうことを防止する。特に、上記のように正と負の最大値を無音マーク4203として用いる場合には、それがそのまま出力されると大きなパルス性のノイズが発生する。

【0162】上記フリップフロップ回路4308の無音フラグは、4段のD型フリップフロップ4302a~4

302dを通してフリップフロップ回路4308のリセット信号として帰還される。これらのフリップフロップ回路4302a~4302dは、次に説明するように前記シフトレジスタ4301a~4301dと同じデータシフトクロックにより無音フラグの伝達動作を行い、無音期間の終了とともに上記シフトレジスタ4301a~4301dに保持されていた上記のような無音マーク4203と時間情報4204からなる無音信号4102 (MK) が掃き出される期間を検出する。これらのフリップフロップ回路4302a~4302dにより無音信号期間が終了したと判定されたならフリップフロップ回路4308のリセットが行われる。

【0163】無音マーク4203の検出によりフリップフロップ回路4309がセットされると、論理否定回路4314を介して無音カウンタ4305のリセット状態が解除される。無音カウンタ4305は、このリセット状態の解除に応じて無音クロックSCLKの計数動作を開始する。

【0164】通常の再生モードのときには、コンパレータ4307に供給されるN値が1に設定される。これにより、無音カウンタ4305の計数値と無音信号4102 (MK) に含まれる無音時間4204とが一致すると、コンパレータ4304により出力された一致信号を繰返カウンタ4306が+1の計数をするので計数値が1となる。この結果、コンパレータ4307も同時に一致出力を形成するので、繰返カウンタ4306、フリップフロップ回路4309のリセットが行われる。フリップフロップ回路4309のリセットにより、論理積回路4311, 4312がゲートを開いてアドレスカウンタ703を介した記憶回路701の読み出しと、シフトレジスタ4301a~4301dのシフト動作が再開される。このシフトレジスタ4301a~4301dの動作と同期してフリップフロップ回路4302a~4302dも無音フラグFLGを順次伝達する。すなわち、シフトレジスタ4301a~4301dに保持されていた無音信号4102 (MK) が掃き出されるまでの間、フリップフロップ回路4308をセット状態のままとして、それがディジタル/アナログ変換回路707により伝えられて音声ノイズとして出力されるのを禁止する。上記無音信号4102 (MK) が掃き出されるのと同期してフリップフロップ回路4308がリセットされる。これにより、実質的な無音期間が終了して最終段のシフトレジスタ4301dから出力されるディジタル音声信号が論理積回路4310を通してディジタル/アナログ変換回路707に入力されて音声信号の再生が行われる。

【0165】遅聴きモードのときには、コンパレータ4307に供給されるN値が1以上の適当な整数値に設定される。例えば2に設定されると、無音カウンタ4305の計数値と無音信号4102 (MK) に含まれる無音時間とが2回りしたときに、コンパレータ4307が一

致出力を形成して2倍に延長された無音期間を終了させる。上記Nを3に設定すれば、無音期間を元の無音時間の3倍に拡大延長させることができる。

【0166】早聴きモードのときには、フリップフロップ回路4309の動作が無効にされる。具体的には、フリップフロップ回路4309のセット入力Sに論理積回路等を介してマーク検出回路4303の出力信号が供給されるのを禁止させるようにすればよい。この場合には、アドレスカウンタ703やシフトレジスタ4301a~4301dには引き続きクロックが供給されるので記憶回路701の読み出し動作が継続的に行われる。ただし、マーク検出回路4303の検出出力によりフリップフロップ回路4308がセットされるので論理否定回路4313と論理積回路4310とにより、上記無音信号4102(MK)が音声信号としてディジタル/アナログ変換回路707に入力されるのが禁止される。すなわち、無音期間は上記音声情報を出力する極く短い期間のみとなり、実質的に無音時間を無くすることができる。この結果、前記同様な早聴きを行うことができる。

【0167】以上の早聴き及び/又は遅聴きモードを実現するディジタル信号処理回路は、前記のようなディジタル信号受け渡しシステムにおけるプレーヤに用いられるもの他、ディジタル・オーディオ・テープ(DAT)等のようにディジタル音声信号をアナログ音声再生するディジタル信号処理回路を含む各種再生装置に広く利用できるものである。

【0168】ディジタル・オーディオ等では、録音時間を長くするため等に符号の圧縮化が行われる。そして、本願提示のディジタル信号受渡しシステムにおいても採用できる公知の圧縮方式には下記説明のような適応型PCM、適応型差分PCM、適応型 ΔM 等がある。この中で、適応型差分PCM方式はCD-I、CD-ROM等の音声圧縮方式に採用され標準規格として規格化されている。なお、データ圧縮化には、上記の3方式を含む種類の圧縮化方式や後述する本発明によるデータ圧縮及び伸長方式等システムの目的や構成に適したものを採用すれば良く、標準化されることが望ましい。

【0169】音響信号の振幅や周波数分布は時間とともに比較的穏やかであるが大幅に変化する。そこで、近傍の信号の性質に応じて量子化ステップ幅を変化させる符号化として適応型PCM(APCM)がある。この適応型PCMでは、直前の標本の量子化値の振幅に応じて量子化ステップ幅を変化させる。また、適応型差分PCMは、差分PCMに適応型ステップ幅を導入したものであり、信号の直接量子化をするのではなく、予測値との差分を適用量子化する。そして、 ΔM は、信号を1ビットで量子化する符号化方法である。この方法は、信号が急激に変化すると歪みが大きくなる。これに対して適応型 ΔM は、量子化ステップ幅を同じ符号が続く場合には増大させ、反転する場合には小さくさせる。

【0170】一方で、上記適応型PCM、適応型差分PCM及び適応型 ΔM では、いずれもステップ幅を変化させるための乗算回路が必要となり、マイクロコンピュータやディジタル・シグナル・プロセッサといったような複雑な回路が必要となり、回路規模が大きくなるという欠点がある。また、 ΔM では量子化歪みが大きく忠実度に欠けるという欠点がある。

【0171】図44、図45及び図46には、本発明に係る簡単な構成で小形化に適し電力的にも有利なデータ圧縮及び伸長方式に関する実施例のブロック図が示されている。

【0172】本実施例の目的は、データ圧縮及び伸長に関して簡単な構成により高い忠実度が得られるデータ変換方式とデータ変換回路を提供することにある。

【0173】図44には、この発明に係るデータ変換方式により構成されたデータ変換回路の一実施例のブロック図が示されている。

【0174】特に制限されないが、この実施例のデータ変換回路は、アナログ信号を16ビットからなるディジタルデータに変換させるとともに、それを8ビットからなるディジタルデータに圧縮して出力させる回路に向けられている。

【0175】アナログ信号Vinは、アナログ/ディジタル変換回路4401に入力されて、ここでnビット(例えば上記のように16ビット)からなるディジタルデータに変換される。この実施例では、上記ディジタル変換された16ビットのデータをm(例えば8ビット)のデータに圧縮させるために、次のような回路が用いられる。

【0176】減算器4402の一方の入力には上記ディジタル変換された16ビットのデータD1が入力される。減算器4402の他方の入力にはレジスタ4406に記憶された16ビットのデータD2が入力される。このレジスタ4406に記憶された16ビットのデータD2は、後述するように1つ前のサンプリングデータとされる。減算器4402は、上記ディジタル変換された入力データD1からレジスタ4406に記憶させられた1つ前のサンプリングデータD2を減算して、その差分(D1-D2)のデータD3を出力させる。この差分のデータD3は、コンパレータ4403の一方の入力Bに供給される。コンパレータ4403の他方の入力Aには、圧縮される8ビットのデータの最大値に対応したデータD4が供給される。このデータD4は、同図のように0000000011111111の16ビットからなり、下位8ビット(m)が全て1のデータ(十進法で255)である。

【0177】コンパレータ4403は、入力端子AとBに供給されたデータD3とD4の大小比較を行い、B>A(D3>D4)のときにはハイレベルの出力信号を形成し、A>Bならローレベルの出力信号を形成する。こ

のコンパレータ4403の出力信号は、セクタ選択信号として用いられる。

【0178】セクタ4404の一方の入力Aには、上記圧縮される8ビットからなる最大値データd4(11111111)が入力されており、入力Bには上記差分のデータD3のうちの下位8ビット分のデータd3が入力されている。このセクタ4404は、上記コンパレータ4403の出力信号がハイレベルなら、言い換えるならば、上記減算データD3がD4より大きいときには、入力Aの最大値データd4を選択して出力させ、上記コンパレータ4403の出力信号がローレベルなら、言い換えるならば、上記減算データD3がD4より小さいときには、入力Bに供給される減算出力の下位8ビットのデータd3を出力させる。

【0179】上記セクタ4404の出力信号d5は、特に制限されないが、記憶回路4408にいったん記憶させ、それを読み出して圧縮された8ビットのデジタルデータDoutとして出力させられる。上記セクタ4404の出力信号d5は、加算器4405の一方の入力に供給される。この加算器4405の他方の入力には、上記レジスタ4406の出力データD2が供給される。これにより、加算器4405はレジスタ4406に記憶された1つ前のサンプリングデータD2に、上記セクタから出力された圧縮されたデータd5とを加算して、次に入力されるデータD1に対して1つ前とされる更新されたサンプリングデータD2'を形成してレジスタ4406に記憶させる。このように、レジスタ4406と加算器4405により次のサンプリングデータを生成させることにより、累積誤差を防止させることができる。

【0180】以下、上記同様な繰り返しにより16ビット(nビット)の入力データD1を、8ビット(mビット)に圧縮したデータd5に変換するものである。

【0181】図45には、上記のデータ圧縮動作を伴うアナログ/デジタル変換動作を説明するための波形図が示されている。

【0182】データ圧縮開始時にはレジスタ4406のデータはクリア(0000000000000000)されている。したがって、同図のようにアナログ信号が急減に立ち上がると、入力デジタル信号に対して下位8ビットの最大値の累進加算動作では追従できないが、いったん入力デジタル信号と1つ前のサンプリングデータとの差分が上記圧縮データの最大値以下になると、入力信号の変化に忠実に対応した圧縮データを得ることができる。音響信号では、その振幅や周波数分布は時間とともに比較的穏やかであるで、実用上問題のない忠実度でのデータ圧縮化が可能になる。

【0183】図46には、この発明に係るデータ変換方式によるデータ変換回路の他の一実施例のブロック図が示されている。この実施例では、前記実施例に対応して

mビット(例えば8ビット)に圧縮させられたデータをnビット(16ビット)のデータに伸長させるとともにアナログ信号に変換して出力させる回路に向けられている。

【0184】前記図44のようなデータ圧縮回路により圧縮されたデータDinは、特に制限されないが、いったん図44の記憶回路4408から図46の記憶回路4601に転送され記憶される。場合によっては、図44の記憶回路4408と図46の記憶回路4601は共通に使用される。この記憶回路4601から読み出されたデータd5は、加算器4602の一方の入力に供給される。加算器4602の他方の入力には、レジスタ4603に記憶されたnビットのデータD6が供給されている。加算器4602は上記データd5はデータD6とを加算してデータD7を形成する。このデータD7は、特に制限されないが、レジスタ4603の入力データとされる。そして、上記レジスタ4603のから出力されるデータD6を伸長させられたデータとしてデジタル/アナログ変換回路4604に入力して、復調されたアナログ信号Voutを形成する。

【0185】データ伸長回路の動作は、次の通りである。データ伸長動作開始時にはレジスタ4603が前記同様にクリアされる。記憶回路4601から読み出された圧縮データd5は、読み出し毎に1つ前のnビットからなるレジスタ4603のデータD6と加算されて、伸長されたデータとしてレジスタ4603に記憶される。したがって、図45のような圧縮データd5による変化分に従って階段状に変化する伸長データを復元させることができる。

【0186】以上の本実施例から得られる作用効果は、下記の通りである。すなわち、(1) 1つ前のサンプリングデータと入力されたデータとの差分を求め、差分が圧縮される符号の最大値より大きい場合には最大値を出力し、小さい場合には減算結果を出力させて圧縮されたデータを出力してデータ圧縮を行う。この方式では、音響信号等のように振幅や周波数分布は時間とともに比較的穏やかなデータにおいては、減算や加算といった簡単な構成により忠実度の高いデータ圧縮を行うことができるという効果が得られる。

【0187】(2) 上記(1)により、データ圧縮及び伸長回路が減算器や加算器、レジスタやコンパレータといった簡単な回路により実現でき、その消費電力も小さく抑えることができるという効果が得られる。

【0188】(3) 上記のようなデータ変換方式及び回路を用いることにより、記憶回路に記憶された音響信号を再生するプレーヤの小型軽量化が実現できるという効果が得られる。

【0189】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種

々変更可能であることはいうまでもない。例えば、図44において、減算出力データD3と圧縮されるデータの最大値D4とをコンパレータにより比較する構成に代え、論理和回路等を用いて減算出力データD3の上位ビットのうちいずれか1ビットでも1であることをもって等価的に上記最大値との大小比較出力を形成するものであってもよい。差分のデータはレジスタのデータD2から入力データD1を減算させたものを用いるものであってもよい。

【0190】データ圧縮される入力信号は、図44の実施例のようにアナログ／デジタル変換回路の出力信号を用いるもの他、デジタル変換されたデータがいたん記憶回路や磁気テープ又はコンパクトディスクに記憶されたものであってもよいことはいうまでもない。圧縮されたデータは、シリアルデータに変換されて通信回線等を介して出力させるようにするものであってもよい。

【0191】この発明に係るデータ変換方式及びデータ変換回路は、時間の経過とともに変化するデジタルデータを扱う回路や装置に広く利用できるものである。

【0192】図47には、この発明に係るデジタル／アナログ変換回路の一実施例のブロック図が示されている。同図のデジタル／アナログ変換回路は、特に制限されないが、前記デジタル信号受け渡しシステムに用いられるプレーヤ101に搭載される。

【0193】デジタル／アナログ変換回路の公知技術として、前記公報（特開昭61-236222号）がある。このデジタル／アナログ変換回路では、所定の周波数のパルスカウンタにより繰り返し計数し、このカウンタの出力信号と変換すべき入力デジタル信号とをデジタル的に比較して、入力デジタル信号の値に対応する幅を有するパルスを出力して、フィルタ回路によりパルス出力から高周波成分を除去してアナログ信号を形成するものである。

【0194】上記のデジタル／アナログ変換回路では、入力デジタル信号に対して1つのパルス幅に変換された出力信号を形成するものであるため、それをフィルタ回路で平滑すると、リップル成分が発生して音質のよいアナログ信号が得られないという問題がある。すなわち、アナログ信号の応答性（高域特性）を良くするためにはローパスフィルタの時定数を小さくする必要があるが、このようにすると前記リップル成分が増大する。このリップル成分を少なくするためにフィルタ回路の時定数を大きくすると、入力信号変化に対する応答性が悪くなり高域特性が劣化する。また、カウンタとコンパレータとを必要とするものであるため、回路構成が複雑になる。

【0195】図47のデジタル／アナログ変換回路は、上記出力特性の改善に向けられている。

【0196】この実施例のデジタル／アナログ変換回路では、出力信号に含まれるリップル成分を除去するた

めに、次のような回路により構成される。入力デジタル信号Dinは、レジスタ4701に取り込まれる。このレジスタ4701の取り込まれた入力デジタル信号Dinは、コンパレータ4702の一方の入力Aに供給される。カウンタ4703は、基準時間信号としてのパルスを繰り返し計数する動作を行う。このカウンタ4703のキャリー出力CARは、リピータカウンタ4704に供給される。リピータカウンタ4704は、指定された繰り返し計数値Jを計数するとキャリー出力CARを出力する。このキャリー出力CARは、制御回路4705に入力されて、ここで変換終了信号EOCが出力される。

【0197】制御回路4705は、入力デジタル信号Dinに同期したストロブを受けると、レジスタ4701にセット信号Sを供給して入力デジタル信号Dinの取り込みを指示する。また、特に制限されないが、10MHzの基準時間パルスCKを受けて、上記レジスタ4701への入力デジタル信号Dinの取り込まれると、それをカウンタ4703に供給して計数動作を開始させる。

【0198】コンパレータ4702は、レジスタ4701に取り込まれた入力デジタル信号Dinが、カウンタ4703に計数値Qより大きいとき（ $A > B$ ）のとき、ハイレベルの出力信号を形成する。そして、データ線入力デジタル信号Dinに対してカウンタ4703の計数出力Qが大きく（ $A < B$ ）なると、ローレベルの出力信号を形成する。この実施例では、リピータカウンタ4704が設けられているので、従来のように直ちに次の入力デジタル信号に対応した出力パルスを形成するのではなく、上記1つの入力デジタル信号Dinに対応したパルス幅を持つパルスがリピータカウンタ4704により指定されたJ回繰り返して変換動作を終了する。

【0199】図48には、上記デジタル／アナログ変換回路の動作の一例の波形図が示されている。

【0200】例えば、デジタル入力信号Dinが8ビットからなる場合、上記のように10MHzのクロックパルスCKの周期は0.1μsとなり、8ビットからなるカウンタを用いて計数することにより、1回りの周期が25.6μsになる。したがって、入力デジタル信号が十進法の1であるときには、最初の0.1μsの間だけハイレベルで、残り25.5μsの間がローレベルのパルスが出力される。また、入力デジタル信号が十進法の10であるときには、最初の1μsの間だけハイレベルで、残り24.6μsの間がローレベルのパルスが出力される。同様に、入力デジタル信号が十進法の100であるときには、最初の10μsの間だけハイレベルで、残り15.6μsの間がローレベルのパルスが出力される。そして、入力デジタル信号が十進法の最大値である255であるときには、最初の25.5μsの間ハイレベルで、残り0.1μsだけがローレベルのパ

ルスが出力される。

【0201】同図には、繰り返し回数Jが4の場合が示されている。上記のようなパルス幅に変換された出力信号は4回繰り返して出力されると、1つの入力デジタル信号Dinに対応した変換出力信号EOCが出力される。このように4回のリピートを行うと、1サンプリング期間、前記のプレーヤ101では記憶回路701から読み出されたデータをフェッチする周期内に、上記4回のパルス幅変調出力を形成するために変換時間としては $25.6 \times 4 = 102.4 \mu s$ となり、約10KHzの変換周波数が可能になる。このことは、ニュースプログラムや会話及び講演等の再生に最適なものとなる。高音質の音楽プログラムの再生においては、上記クロックパルスCKの周波数を20MHzにすれば、同じ4回のリピート回数のもとでの約20kHzまでの高域周波数が再生できる。また、上記クロックパルスCKを10MHzのままとして、リピート数を2回に減らせば、同様に20kHzまでの高域周波数が再生できる。このように、上記クロックパルスCKの周波数、リピート回数の組み合わせで入力デジタル信号のサンプリング周期に合わせるようにすればよい。

【0202】なお、上記変換出力信号EOCを受けて再びストロープSTBに同期してデジタル信号を入力すると、それに対応したアナログ／デジタル変換動作が同様にして行われる。

【0203】上記のコンパレータ4702から出力されるパルス幅変調信号は、抵抗4706とキャパシタ4707からなるローパスフィルタ4708により平滑されてアナログ信号Doutが出力される。この実施例では、上記のようにパルス幅変調されたパルスが複数個出力される。したがって、出力信号の高音質化のために抵抗4706とキャパシタ4707との時定数を小さく設定して応答性を高くしてもリップル成分を最小に防ぐことができる。

【0204】この実施例に示す回路では、回路全体がデジタル回路により構成できるから、デジタル回路とアナログ回路を混在させた場合に比べて、プロセスが簡単で低消費電力のCMOS回路集積回路等により形成することができる。

【0205】図49には、この発明に係るデジタル／アナログ変換回路の他の一実施例のブロック図が示されている。この実施例のデジタル／アナログ変換回路は、回路の簡素化に向けられている。

【0206】この実施例では、図47のコンパレータ4702を省略してダウンカウンタ4901とフリップフロップ回路4902によりデジタル信号に対応したパルス幅変調信号を形成するものである。すなわち、ダウンカウンタ4901には、ストロープに同期して入力デジタル信号Dinがセットされる。また、上記ストロープによりフリップフロップ回路4902がセットされ

る。これにより、フリップフロップ回路4902の出力信号Qがハイレベルに変化し、上記ストロープによりダウンカウンタ4901がクロックの計数動作を開始する。ダウンカウンタ4901は、計数値が0になるとボロー信号BOを出力し、上記フリップフロップ回路4902をリセットさせる。このボロー信号BOは変換終了信号として入力側に送られる。

【0207】フリップフロップ回路4902は、デジタル信号の計数開始とともにセットされ、そのデジタル信号に対応したクロックが計数されるとリセットされる。これにより、フリップフロップ回路4902の出力信号Qは入力デジタル信号に対応したパルス幅変調信号とされる。

【0208】この実施例のデジタル／アナログ変換回路の入力側に設けられる信号源は、前記記憶回路701のように一定のサンプリング周期に対応してデジタル信号とストロープを出力する。したがって、信号源側では上記変換終了信号EOCが送られたことをもって直ちに次のデジタル信号を送出するのではなく、そのことを1つの条件として、上記一定のサンプリング周期に同期してデジタル信号とストロープを送出する。これにより、フリップフロップ回路4902のストロープに同期したセット動作と、ダウンカウンタ4901のボロー出力BOに同期したリセット動作により、一定周期の入力デジタル信号に対応したパルス幅変調信号を得ることができる。

【0209】例えば、デジタル入力信号Dinが8ビットからなる場合、上記のように10MHzのクロックパルスCKを用いるとその周期は $0.1 \mu s$ となり、8ビットからなるダウンカウンタ4901を用いてをそれを計数することにより最大計数値が25.5 μs になる。したがって、入力デジタル信号が十進法の1であるときには、ダウンカウンタ4901は1しか計数しないから最初の $0.1 \mu s$ の間だけハイレベルで、次のストロープが入力されるまでの残り25.5 μs の間がローレベルのパルスが出力される。また、入力デジタル信号が十進法の10であるときには、10を計数する間の最初の $1 \mu s$ の間だけハイレベルで、次のストロープが入力されるまでの残り24.6 μs の間がローレベルのパルスが出力される。同様に、入力デジタル信号が十進法の100であるときには、100を計数する間の $10 \mu s$ の間だけハイレベルで、次のストロープが入力されるまでの残り15.6 μs の間がローレベルのパルスが出力される。そして、入力デジタル信号が十進法の最大値である255であるときには、最大計数値に対応した25.5 μs の間ハイレベルで残り $0.1 \mu s$ だけがローレベルのパルスが出力される。

【0210】このようなパルス幅変調信号は、前記のような抵抗4903とキャパシタ4904のようなローパスフィルタ4905により平滑されてアナログ信号Vou

t が形成される。

【0211】なお、図47図の実施例のように1つの入力信号Dinに対して複数のパルス幅変調信号を形成する場合には、入力側で1つの入力信号Dinに対して前記の周期のストローブを複数回発生させればよい。

【0212】図50には、この発明に係るディジタル／アナログ変換回路の更に他の一実施例のブロック図が示されている。

【0213】前記図49に示したディジタル／アナログ変換回路では、入力側において一定の周期でディジタル信号とストローブを形成する必要があり、その用途が限られてしまう。この実施例では、アップカウンタ5002を設けて出力されるパルス幅変調信号の周期を規定するものである。すなわち、アップカウンタ5002の入力Dには0を供給し、ストローブに同期したカウンタロードパルスLDによりクリアされるとともに、ダウンカウンタ5001では上記カウンタロードパルスLDにより入力ディジタル信号Dinが取り込まれる。

【0214】上記ダウンカウンタ5001とアップカウンタ5002には、同じクロックCKが供給される。ダウンカウンタ5001のボロー出力BOは、フリップフロップ回路5003の入力Kと論理否定回路5005を介して論理積回路5006の一方の入力に供給される。フリップフロップ回路5003のクロック端子CKには上記クロックパルスが供給され、フリップフロップ回路5003の入力Jには、論理積回路5006の出力信号が供給される。この論理積回路5006の他方の入力には、制御回路5004から発生されたセット信号が供給される。そして、上記カウンタのキャリー出力CARは、制御回路5004に供給される。

【0215】制御回路5004は、ディジタル信号Dinと同期して入力されるストローブSTを受けると動作状態にされ、上記ダウンカウンタ5001及びアップカウンタ5002のカウンタロード信号LDとフリップフロップ回路5003のセット信号FRを出力する。また、制御回路5004は、クロックCLKを受けてストローブが入力されるとダウンカウンタ5001及びアップカウンタ5002等にクロックパルスを送出し、アップカウンタ5002からのキャリー出力CARを受けると変換終了信号EOCを送出して待機状態になる。

【0216】フリップフロップ回路5003は、クロックパルスの立ち上がりエッジに同期して動作し、そのとき入力JとKが00（ローレベル、ローレベル）なら保持状態になり、入力JとKが01（ローレベル、ハイレベル）ならリセット状態になり、入力JとKが10（ハイレベル、ローレベル）ならセット状態になり、入力JとKが11（ハイレベル、ハイレベル）なら反転動作を行う。

【0217】次に、上記ディジタル／アナログ変換動作について詳細に説明する。

【0218】初期状態では全てのカウンタ及びフリップフロップ回路5003はリセット状態である。制御回路5004のストローブ入力端子STに変換開始信号が入力されると、それに応答して制御回路5004は、変換終了信号端子EOCからの出力信号を論理1にして変換中であることを宣言する。

【0219】制御回路5004は、カウンタロード信号LDを出力して、クロックCKの立ち上がりに同期してダウンカウンタ5001には入力ディジタル信号をロードさせ、アップカウンタ5002には0をロードさせる。ダウンカウンタ5001及びアップカウンタ5002は、上記ロードの終了とともにクロックの計数動作を開始する。

【0220】制御回路5004は、上記カウンタロード信号LDよりカウンタクロックの1/2周期遅れて、フリップフロップ回路5003のセット信号FRを出力する。フリップフロップ回路5003は、ダウンカウンタ5001のボロー出力BOが論理0であるから入力Jが1に入力Kが0となって、クロックの立ち上がりに同期してセット状態にされる。

【0221】ダウンカウンタ5001は、クロックの到来毎にダウン計数動作（-1）を行い計数値が0になると、ボロー信号BOを出力する。この結果、ボロー信号BOの論理1への変化により、フリップフロップ回路5003の入力Jが0に入力Kが1に変化する。この結果、フリップフロップ回路5003は、クロックパルスの立ち上がりに同期してリセットされる。

【0222】なお、入力ディジタル信号Dinが十進法で0のときには、ダウンカウンタ5001のボロー出力BOと、制御回路5004のセット信号FRとが同じタイミングで出力されることになる。この実施例では、ダウンカウンタ5001のボロー出力BOを優先させるために論理積回路5006が設けられており、この論理積回路5006により制御回路5004からのフリップフロップ回路5003のセット信号FRが禁止される。このように、ディジタル信号Dinが十進法で0であるときにはフリップフロップ回路5003からパルスが出力されない。ディジタル信号Dinが1以上であるときには、フリップフロップ回路5003の出力Qからそれぞれに対応したパルス幅を持つパルスが出力される。このようにパルス幅変調された出力信号はローパスフィルタ5007により平滑されてアナログ信号Voutが形成される。

【0223】アップカウンタ5002は、計数動作を継続して最大値になるとキャリー信号CARを出力する。制御回路5004は、上記キャリー信号CARを受けると、変換終了信号EOCを論理0に変化させて一連の変換動作を終了する。この変換動作終了を待つて次のディジタル信号が入力される。すなわち、上記のようなアップカウンタ5002を設けた場合には、ディジタル／アナログ変換動作に従って、その変換終了信号EOCによ

り、アドレス信号を生成して次の入力デジタル信号を読み出すようにすることもできる。

【0224】上記のように、入力デジタル信号Dinとストロブが入力されると、以上の動作を繰り返して入力デジタル信号Dinに対応したアナログ信号Voutを形成する。制御回路5004は、上記変換動作中は変換終了信号EOCをハイレベルにして外部に知らせ、これを無視したストロブには何も応答しないで、変換動作を継続する。

【0225】なお、アナログ変換出力Voutに含まれるリップル成分を軽減する場合には、1つのストロブのような変換開始信号に対して、リピータカウンタ等をつけて上記のようなデジタル／アナログ変換動作を指定回数だけ繰り返すようにすればよい。このリピータ中にデジタル信号Dinの入力が保証されていない場合には、前記同様にレジスタを設けて入力デジタル信号を取り込むようにすればよい。

【0226】以上図47～図50を用いて説明した実施例は、デジタル／アナログ変換回路の他、デジタル信号からパルス幅変調信号に変換する信号変換回路として広く利用できる。

【0227】図51には、前記デジタル信号受け渡しシステムに用いられるプレーヤ101のスイッチ入力回路の一実施例の基本的ブロック図が示されている。

【0228】前記のようにプレーヤ101は、ICメモリカード等と互換性をもつように小型で薄型にされる。それ故、動作モードを指示するスイッチ類を減らすことが重要とされる。そこで、この実施例では、1つのキースイッチ5101のオン／オフ信号を受ける動作状態制御回路2により、動作状態1～動作状態nを指定する信号5103-1～51013-nを形成するものである。このようにすることにより、上記のような小型でかつ薄型のプレーヤ101の限られたスペースに操作スイッチの実装を可能にするものである。

【0229】図52には、動作状態制御回路の具体的構成の一実施例を説明するためのブロック図が示されている。

【0230】この実施例では、スイッチ5101のオン時間Tが動作状態制御回路5102により判定される。動作状態制御回路5102は、スイッチ5101のオン時間Tに対しては無条件で単にスイッチがオン状態にされれば状態Aにする信号5201-1を形成する。動作状態制御回路5102は、スイッチ5101のオン時間Tが予め決められて一定時間Mより小さい($M > T$)と判定したなら状態Bにする信号5201-2を形成する。そして、動作状態制御回路5102は、スイッチ5101のオン時間Tが予め決められた一定時間Mより大きい($M \leq T$)と判定したなら状態Cにする信号5101-3を形成する。上記のような3つの状態A～Cを示す信号5101-1～5101-3の組み合わせによ

り、次のような再生制御動作が実現できる。

【0231】図53には、その動作モードを説明するための概念図が示されている。

【0232】プレーヤ101は電源投入直後には停止状態5302にされる。この状態5302において、スイッチ5101をオン状態にすると、そのオン時間Tに対しては無条件の状態Aを示す信号5301aが形成されてプレーヤ101は再生状態5303になる。この再生状態5303では、一時停止状態5305に変化させるか、それとももとの停止状態5302に戻すか2通りの選択が必要になる。そこで、再びスイッチ5101をオン状態にすると、上記のような状態Aを示す信号5301bが形成されて時間判定5304に入り、そのときにオン状態にされた時間Tの判定が行われる。もしも、この判定結果が状態Bを示す信号5301cならプレーヤ101は一時停止状態5305にされる。あるいは、上記判定結果が状態Cを示す信号5301eならプレーヤ101はもとの停止状態5302に戻る。上記一時停止状態5305においては、再び再生状態5303に戻すことしか意味を持たないから、スイッチ5101のオン状態にするだけで、上記のような状態Aを示す信号5301dにより再生状態5303に戻る。

【0233】1つのスイッチにより、複数種類の動作を指示する場合には、その操作方法が複雑になる欠点がある。そこで、この実施例では、その操作方法の習得を容易にするために、図51に示した停止状態5302、再生状態5303及び一時停止状態5305に対応して発光ダイオード等や液晶表示素子を設けて、現在の状態に応じて点灯させ、それと同図のような矢印とを組み合わせることにより、状態A～状態Cの入力によりどのような状態に変化させることができるかを表示させる。この表示動作は、表示装置として発光ダイオードを用いる場合、低消費電力化を図るためにスイッチ操作を行う一定時間だけ行わせるようにすればよい。

【0234】図54には、動作状態制御回路の具体的構成を説明した他の一実施例のブロック図が示されている。

【0235】この実施例では、前記のようなスイッチ5101のオン時間Tに代えてスイッチ5101のオン回数が動作状態制御回路5102により判定される。動作状態制御回路5102は、スイッチ5101のオン回数を計数して1回なら状態Aにする信号5401-1を形成する。動作状態制御回路5102は、スイッチ5101のオン回数が2回なら状態Bにする信号5401-2を形成する。このような2つの状態AとBを示す信号5401-1と5401-2の組み合わせにより、次のような再生制御動作が実現できる。

【0236】図55には、その動作モードを説明するための概念図が示されている。

【0237】プレーヤ101は電源投入直後には前記同

様に停止状態5302にされる。この状態5302において、スイッチ5101を1回だけオン状態にすると、状態Aを示す信号5501aが形成されてプレーヤ101は再生状態5303になる。この再生状態5303では、一時停止状態5305に変化させるか、それとももとの停止状態5302に戻すか2通りの選択が必要になる。そこで、再びスイッチ5101を1回だけオン状態にすると、上記のような状態Aを示す信号5501bが形成されてプレーヤ101は一時停止状態5305にされる。あるいは、上記スイッチ5101を2回オン状態にすると、状態Bを示す信号5501eが形成されてプレーヤ101はもとの停止状態5302に戻る。この実施例では、上記一時停止状態5305から再び再生状態5303に戻すことその他、もとの停止状態5302にも選択的に変化させるようにする。このため、一時停止状態5305においてスイッチ5101を1回だけオン状態にすると状態Aを示す信号5501cが形成されてプレーヤ101は再生状態5303に変化する。上記一時停止状態5305においてスイッチ5101を2回にわたってオン状態にすると、状態Bを示す信号5501dが形成されてプレーヤ101は停止状態5302に変化する。この実施例でも、前記同様に図53に対応して表示素子及び矢印を描くことにより、操作の習得を容易にする。

【0238】図56は、記憶すべき内容が複数個存在したときに、記憶回路を任意のサイズに分割（ブロック分け）して記録するとともに、再生するときには読み出したいブロックをあらかじめ操作スイッチなどで指定することにより、選択的な再生、いわゆる頭出しを可能にさせる一実施例の概念を示すブロック図である。データ記憶回路5610とデータ用アドレスカウンタ5611に加えて、データ記憶回路5610の記憶番地を決めるデータ用アドレスカウンタ5611にブロックアドレスをセットするためのブロックアドレス記憶回路5601、ブロックアドレス記憶回路のアドレスを指定するブロックアドレス用アドレスカウンタ5602、ブロックアドレス用アドレスカウンタ5602の内容をデコードするデコーダ回路5603、更にこのデコードされた内容を表示する表示器5604、ブロックを選択するための操作スイッチ5607、チャッターを除去するためのチャッタキラー回路等から構成される。該回路部へは、記憶／再生を開始したことを示すPLAY信号（幅100nsのパルス）と記憶停止を示すRECSTOP信号（幅100nsのパルス）が入力される。

【0239】次に、該回路の動作について説明すると次のようになる。ここでわかり易くするために、いまブロックアドレス用アドレスカウンタ5602はゼロであったとする。この状態で、記憶モードに入るとデータ用記憶回路5610の0番地から順次データが記憶されていく。いま任意のタイミングで記憶停止が指示されると、

まず、RECSTOP信号の前縁でブロックアドレス用アドレスカウンタ5602がインクリメントされ（内容は1となる）、さらに100ns遅延回路5608を経てブロックアドレス記憶回路5601の1番地にデータ用アドレスカウンタ5611の内容が記憶される（2番目のデータの先頭アドレスとなる）。次にまた別のデータを記憶するために、記憶モードに入りPLAY信号が出力されると先ほど記憶したブロックアドレス記憶回路5601の1番地の内容が、そのまま先頭アドレスとしてデータ用アドレスカウンタ5611にロード（セット）され、2番目のデータが順次記憶されていく。以下、記憶停止が指示されるとともに、データ用アドレスカウンタ5611の内容がブロックアドレス記憶回路5601に順次書き込まれていく。一方、再生する際の手順は次のようになる。最初に目的とするブロック、例えば2番目のデータを再生したいときは、操作スイッチ5607を押す毎にブロックアドレス用カウンタ5602がインクリメントされ、その内容はデコーダ回路5603を通して数字表示器5604（単なるLED表示でも良い）で表示される。目的とする1番地（2番目のアドレスは1番地に格納されている）が表示されるまで操作スイッチ5607を押しつづけ、1番地が表れたら押下を止める。次に再生が指示されるとPLAY信号が出力され1番地の内容、すなわち2番目のデータが記憶されている先頭アドレスが、データ用アドレスカウンタ5611にロード（セット）されて読み出しが進行する。なお、1番目のデータを再生（記憶でも同じ）したいときには上記表示器5604がゼロを表示した時点でブロックアドレス用アドレスカウンタ5602のインクリメント動作を中止することにより、デコーダ回路5603のオールZERO出力はローレベルとなるため、PLAY信号が論理和回路5606を通過し、データ用アドレスカウンタをクリアする。その結果データ記憶回路5610は0番地から再生（又は記憶）動作を行うことになり、第1番目のデータが再生（又は記憶）されることになる。

【0240】以上のように本実施例によれば、読み出したいブロックを簡単な操作により任意に選択することができ、極めて使い勝手の良い装置が提供できる。また、本実施例のもう一つの特長はブロック長が全く任意であり、データ記憶回路5610を無駄なく、高効率に利用できる。これは、半導体メモリの特性に着目して、その性能を十分に活かしたもので、本願の装置の有効性を示す一例である。なお、ここでは記憶回路をデータ記憶回路5610とブロックアドレス記憶回路5601に分けて説明したが、同一のメモリ上に配置しても良い。

【0241】図57には、プレーヤ101の記憶回路701の記憶領域管理方式の一実施例の概念図が示されている。

【0242】プレーヤ101に搭載された記憶回路70

1の記憶容量を複数種類の情報に対して効率よく利用するために、記憶回路701は目次領域とデータ領域に分けられる。目次領域は、特に制限されないが、4つの目次5701a~5704aを持ち、それぞれにはブロックアドレスBA0~BA3が格納可能にされる。上記目次5701a~5704aは、プログラムセレクト信号PSL1, PSL2等により選択されて、そのブロックアドレスBA0, BA1等の書き込みや読み出しが可能にされる。

【0243】例えば、前記のようなデジタル信号受け渡しシステムにおいて、プレーヤ101が端末装置100に接続されると、端末装置100は目次領域をアクセスして有効にされているブロックアドレスの読み出しを行う。これにより、端末装置100はプレーヤ101における記憶回路701の空き領域を知ることができる。そして、新たに受け渡されるデジタル信号が指定されると、空きの目次にブロックアドレスを記憶させるとともに空き領域にデジタル信号を記憶させる。もしも、目次が不足したり、受け渡されるデジタル信号に対して空きの記憶容量が不足するなら、その旨を表示して消去してよい格納済のデジタル信号を選択させ、それを消去して新しいデジタル信号の入力を行う。このとき、プレーヤ101に記憶されている格納済のデジタル信号も読み出して、新しいデジタル信号の記憶容量に合わせて記憶容量に空きがないようアドレス割り当てが改めて行われる。

【0244】同図においては、プログラムセレクト信号PSL1により目次5701aをアクセスして、そこに格納されているブロックアドレスBA0を読み出してアドレスカウンタ703にセットさせる。例えば、同図の実線のようにアドレスカウンタ703にセットされたブロックアドレスBA0がデータ領域の先頭アドレスのデータブロック5701dであると、そのブロックの先頭のIDコード5701iが格納されたアドレスから順に読み出しを開始する。そして、特に制限されないが、データの最終アドレスにはエンドマーク5701eが格納されており、このエンドマーク5701eの検出により読み出しを終了させる。この構成では、目次には先頭アドレスのみを記憶させればよいからアドレス情報を減らすことができる。

【0245】また、プログラムセレクト信号PSL2により目次5702をアクセスして、そこに格納されているブロックアドレスBA2を読み出してアドレスカウンタ703にセットさせる。例えば、同図の点線のようにアドレスカウンタ703にセットされたブロックアドレスが中間ブロックなら、そのブロックの先頭のIDコード5702iが格納されたアドレスから順に読み出しを開始する。そして、上記同様にデータ5702dの最終アドレスにはエンドマーク5702eが格納されており、このエンドマーク5702eの検出により読み出し

を終了させる。

【0246】例えば、目次5701aに対応したデジタル信号の消去等により上記のように2種類のプログラムが格納されたデータブロックの間に空きができると、端末装置100は目次5702aのブロックアドレスBA2を目次5701aに対応したデータ領域のエンドマーク5701eのアドレスにブロックアドレスBA2を変更するとともに、それに対応したデジタル信号を書き込む。このようにすることによって、新たに受け渡されるプログラムに対応したデジタル信号を残りの空きエリアを連続して使用することができる。

【0247】なお、プレーヤ101を端末装置100に接続すると、原則として目次領域及びデータ領域がクリアされて新しいデジタル信号が格納されるようにしてもよい。この場合、残したいプログラムは、プレーヤ101側において消去禁止を指定するか、端末装置100側とのデジタル信号の受け渡し操作の中で消去禁止プログラムを指定するものであってもよい。

【0248】図58には、プレーヤ101の記憶回路701の記憶領域管理方式の他の一実施例の概念図が示されている。

【0249】この実施例では、目次記憶回路5801とデータ記憶回路5802とによりデジタル信号の記憶管理を行うようにするものである。目次記憶回路5801は、目次1ないし目次4のように最大4種類のデジタル信号（プログラム）までの格納を可能にするものである。目次記憶回路5801には、前記実施例のように単に先頭アドレスを記憶させるもの他、終了アドレスやIDコードの他に、目次情報も記憶させる。この目次情報は、特に制限されないが、文字情報からなり、プレーヤ101に液晶表示装置を設けてプログラムの内容を文字によって表示可能にするものである。

【0250】目次記憶回路5801の各目次と、データ記憶回路5802のデータエリアは、記憶順序等によりデータ記憶回路5802の先頭アドレス側からデータ2、データ1、データ4及びデータ3のように任意に行われる。すなわち、先に指定した順にデータ記憶回路5802に対してデジタル信号が記憶される。

【0251】図59には、上記目次機能を付加した場合のプレーヤ101の一実施例の要部ブロック図が示されている。

【0252】制御回路5906には、前記のような動作制御用のスイッチ5908の他に、目次指定（プログラム指定）用のスイッチ5907が設けられる。特に制限されないが、このスイッチ5907をオン状態にすると、目次アドレスカウンタ5901に+1のパルスが供給されて目次記憶回路5801のアクセスが行われる。目次記憶回路5801から読み出された目次情報は、目次レジスタ5909に格納されて液晶表示器5910によりタイトル等の文字表示が行われる。

【0253】目次記憶回路5801から読み出された先頭アドレスは、データ記憶回路5802のアドレスカウンタ5902にセットされ、終了アドレスとIDコードはレジスタ5903、5904にそれぞれロードされる。IDコードは、制御回路5906に伝えられ、それが解読されて前記サンプリング周波数、データ長、ステレオ/モノラル再生等の自動設定が行われる。

【0254】上記アドレスカウンタ5902により出力されるアドレス信号は、データ記憶回路5802のアクセスに用いられることその他、コンパレータ5905にも供給される。このコンパレータ5905の他方の入力には、上記レジスタ5903にロードされた最終アドレスが伝えられる。これにより、上記指定された目次に対応したデジタル信号（データ）の読み出しが終了すると、コンパレータ5905がこれを検出して制御回路5906に終了信号を入力するので、一連のデジタル信号の読み出し動作が終了することになる。

【0255】以上の目次機能において、目次の数は4の他、任意であるが2のN乗個にすると2進のアドレスカウンタがそのまま利用できるので選択が容易になる。また、目次記憶回路5801をデータ記憶回路5802とは別に設けた場合には、それぞれを独立して並行にアクセスすることができるからアドレスカウンタの制御が簡単になる。なお、上記の目次記憶回路5801は、上記図57の実施例のようにデータ記憶回路5802の一定の記憶領域を利用して構成するものであってもよいことはいうまでもない。

【0256】図60は、上記図7と同様に、本発明によるプレーヤ101の一実施例を示す。この実施例は、一点鎖線枠内の部分、すなわちプレーヤ101の記憶回路701を除くマルチプレクサ702、アドレスカウンタ703、制御回路704、パラレル/シリアル変換回路705、ローパスフィルタ706、デジタル/アナログ変換回路707、増幅回路708をIC化もしくはハイブリッドIC化した1チップ集積回路6001を示している。この1チップ集積回路は、上記デジタル信号受け渡しシステムのデータ転送を実現する信号及び端子と、上記記憶回路を制御する信号及び端子と、アナログ音声信号を出力する信号及び端子と、1チップ集積回路に対して動作を支持する信号及び端子と、1チップ集積回路の状態を示す信号及び端子と、1チップ集積回路に電力を供給する信号及び端子を備えている。また、1チップ集積回路の構成は上記に示す機能をすべて含む必要はなく、特に限定されるものではない。

【0257】本実施例によれば、電話交換手などが用いているマイクロ本付きヘッドホンの耳の部分に電池を含む本体回路のすべてを実装できるほど小形化され、かつ消費電力はスタンバイ時で約50マイクロワット、再生時には約20ミリワットが実測され、小形で消費電力の極端に少ない装置を実現できる。このことは、電源に小

容量（180mAh）のボタン形リチウム電池を使用しても連続30時間以上の再生動作、又は記憶したデータをそのまま放置しても450日後に再生させることが可能であることを示唆している。また、これらの値は電池の技術進歩によって大幅に改善される余地があり、数年にわたり記録を保持したり、あるいは数百時間以上の再生動作あるいは小形、軽量の装置を実現することができる。

【0258】なお、制御回路を1チップ集積回路に納めた場合、そのまま制御できる記憶回路の記憶容量が限られてしまう問題がある。この問題を解決するために、図61に示すように、記憶回路の制御信号及び端子に拡張用信号及び端子をオプションとして設けておくことにより記憶回路の記憶容量を拡張することができる。例えば、図60に示すように1チップ集積回路におさめたアドレスカウンタ703の発生するアドレスが23ビットの場合（データは8ビットとする）、記憶回路の記憶容量は最大8,388,608バイトになる。もし、記憶容量を16,777,216と2倍にしたい場合は、図61に示すように内部のアドレスカウンタ703と連動して動作する拡張アドレスカウンタ6101及び内部のマルチプレクサ702と同じ動作をする拡張マルチプレクサ6102で構成されるアドレス拡張回路を1チップ集積回路の外部に設けて、記憶回路に与えるアドレスを24ビットに拡張すれば良い。

【0259】図62には、プレーヤ101における記憶回路の欠陥ビットを自動的に判別し欠陥ビットをスキップするための自己診断回路のブロック図を示す。

【0260】図7に示すプレーヤにおいて、記憶回路701に周辺に自己診断回路が追加されている。記憶回路701に入力されるデータと記憶回路テストのための2種類のデータパターン”AA”及び”55”を選択するマルチプレクサ6202、該マルチプレクサ6202に対して選択信号を与えるための3進カウンタ6201、上記マルチプレクサ6202の出力を記憶回路に接続するためのバッファ回路6204、遅延回路6206、アドレスカウンタ703、コンパレータ6203、ファーストイン・ファーストアウト・メモリ6207などで構成される。該回路部への入出力信号は、端末装置100からの入力データと記憶回路からの出力データ、また制御回路から記憶回路への書き込みストロブ信号（WE）と記憶/再生中を示すRUN信号（RUN）ならびに2種類の記憶回路テストパターンデータ”AA”、”55”が入力される。なお、スキップアドレス出力と再生クロック入力、再生動作時に記憶回路の不良箇所（欠陥アドレス）をスキップして読み出すための信号である。記憶データが変化した直後に書き込みストロブ信号（WE）が100nsのパルス幅で入力し（繰返し周波数は8kHz）、論理和回路6213を経て3進カウンタ6201をクリア状態にし、論理和回路6214

更に否定的論理和回路6205を通過しバッファ回路6204の制御端子ならびに記憶回路のWE（ライトイネーブル）に接続される。バッファ回路は6204は該制御端子がハイレベルのときにハイインピーダンス状態であり、該制御端子がローレベルになったときはじめて入力が出力端子に反映される素子であり、一方の記憶回路のデータ端子（DIO）は、WE端子がハイレベルであれば指定アドレスの内容が出力されており、WE端子がローレベルになると上記DIO端子はデータ入力が可能な状態に切り替わり、該DIO端子のデータ入力が指定したアドレスに書き込まれることになる。従って、上記WEパルス信号がハイレベルに戻った直後（正確には記憶回路のアクセスタイムの50ns経過後）におけるバッファ回路6204の入力側と出力側のデータが一致していれば記憶回路には正常にデータが書き込まれたことになり、もし上記データ同志が一致していなければ上記記憶回路には正常にデータが書き込まれなかったことを示している。この様な判定を行うためにコンパレータ6203を設け、該コンパレータ6203のY出力はA入力端子とB入力端子の内容が一致していないときにハイレベルになるような不一致出力の論理構成にしておき、該コンパレータのY出力を論理積回路6210の一方の入力とする。ここで、上記否定論理和回路6205の出力は更に論理否定機能付パルス遅延回路6206へも入力されており、該遅延回路6206によって約200ns送れたWE'パルスになり、論理積回路6210のもう一方の入力となる。この時、もし上記不一致出力がローレベルであれば、すなわちデータが記憶回路701へ正常に書き込まれた場合には上記論理積回路6210の出力にはなにも出力されないことになる。ここで、上記3進カウンタ6201はWEパルスの入力時にリセットされており（同時にクロック入力CPにもパルスが入力されているがクリア動作が優先される）該3進カウンタ6201のQA出力QB出力ともにローレベルになっており、マルチプレクサ6202はパターン"AA"（16進表現、2進法では2の7乗ビット側から順に10101010となる）を選択しているため、上記記憶回路701へ正常に書き込んだデータは第1番目のテストパターンということになる。そこで、3進カウンタ6201のQB出力（2の1乗ビット）がローレベルであるため該出力は論理不定回路6216でハイレベルになり、論理積回路6211は上記WE'を通過し、論理和回路6214を経由して3進カウンタ6201をカウントアップすることによりマルチプレクサ6202はテストパターン"55"（16進表現、2進法では2の7乗ビット側より順に01010101となる）を選択し、同時に上記論理和回路6214の出力は否定的論理和回路6205の入力となり、記憶回路への書き込みパルスとして作用する。以後、テストパターン"55"更に記憶データ（記憶回路入力データ）のいずれにおいても正常に書

き込まれたときには、上記論理積回路6211は禁止（3進カウンタ6201のQB出力がハイレベルになるため）され、上記したような一巡ループは開放され、代わりに論理積回路6212をWE'パルスが通過し、アドレスカウンタ703をカウントアップし、制御回路からの次の書き込みパルス（WE）入力を待つことになる。また上記コンパレータ6203のY出力（不一致出力）がハイレベル、すなわち記憶回路701に正常にデータが書き込まれなかったケースにおいては、上記WE'パルスが論理積回路6210を通過し、その時のアドレスカウンタ703の内容をファーストイン・ファーストアウトメモリ6207へ書き込み、同時に否定的論理和回路6205ならびに論理和回路6213へ入力しているので、上記WEパルスが入力されたときの動作と同じことをもう一度繰り返すことになる。なお、この繰返し動作は記憶回路701へデータが正常に書き込まれるまで続行される（この繰返し動作に要する時間は約300nsであり、また、WE入力周期は約125μsであるため実際に許容される繰返し数は、1回目のパターンチェックすなわち"AA"パターン書き込み時のエラー発生で繰返すケースでは約400回であり、2回目のパターンチェックすなわち"55"パターン書き込み時のエラー発生で繰返すケースでは約200回となる）。

【0261】本実施例によれば、4メガビットあるいは16メガビットなどのメガビットクラスの大容量メモリのうちのわずか数ビットのメモリセルが不良であるがゆえに、検査で捨てられている半導体メモリチップを使用することができるので、結果として極めて安価な装置を提供することができる。ここに述べた思想は書き込む前に検査をしてその結果を利用して不良ビットを活用するというのが根本思想で、この概念を用いて種種の変形、応用が可能であることはいうまでもない。例えば"1"を書き込むとき、検査結果が"1"に固定された不良ビットを検出したとき、それをそのまま"1"として利用する方法もある。

【0262】なお、図62におけるマルチプレクサ6202の動作を固定（3進カウンタ6201のしてGA出力をローレベル、QB出力をハイレベルに固定）することによって、書き込みデータのみを用いて記憶回路へ書き込みながらチェックする方式による簡便な自己診断回路を構成することができる。

【0263】又、本実施例は特に上記プレーヤに録音機能（音声の場合、その他画像、医療情報などがある）が付加されたとき特に有効となる。

【0264】図67には、本発明によるデジタル信号受渡しシステムの具体的な一実施例の外観を示す。図において、図1、図3、図7、図10もしくは図59と同一部分には同一番号を付すことにより詳細な説明は省略する。

【0265】1001は主に半導体メモリより構成され

るメモリカードもしくはICカード等からなる小型の記憶回路部を示す。本実施例は、プレーヤ101にさらに機能を付加するためもしくはメモリ増設のための親、子、孫タイプのデジタル信号受渡しシステムを示すものである。同図の端末装置100には外部入力信号録音時のアナログ／デジタル変換回路のサンプリング周波数である第1のクロックを有し、また端末装置100からプレーヤ101へ音声のデジタル信号を転送する高速の第2のクロックを有する。さらに、プレーヤ101は再生時のデジタル／アナログ変換回路のサンプリング周波数である第3のクロックを有する。

【0266】またプレーヤ101は同プレーヤから記憶回路部へデジタル信号を転送するための高速な第4クロックを有する。なお、端末装置100とプレーヤ101が接続状態で使用される場合、この第4のクロックは第2のクロックを用いてもよい。少なくともその場合は第4のクロックを省くことができる。これらのクロックの中で録音もしくは再生用の第1と第3のクロックは、それぞれ可変できる。音楽では音声のサンプリング周波数を高速にでき、より高音質な再生音が期待できる。また会話ではサンプリング周波数を低速にしてメモリ使用を節約できる。

【0267】例えば同図の利用形態では、親である端末装置100から任意の音声ファイルを選択して、子である電子手帳程度の大きさのプレーヤ101に情報を転送する第2のクロックで高速書き込みし、さらに記憶回路部で孫になる小さなメモリカードもしくはICカードに高速な第4のクロックで転送記録し、記録した内容を他のプレーヤ101もしくは電子手帳等と共有化できる。

【0268】また、製造、ソフトウェア開発メーカ側がメモリカードもしくはICカードの形で音声情報、処理プログラム等を提供することも考えられる。さらにプレーヤ101に音声信号を文章化する等オプション機能を付加し、文章を記憶回路部に記憶する等も可能になる。なお、孫のカードは半導体メモリを用いたカードに限定するものではなく、将来は、超小型の各種光、磁気ディスク等のメディア使用も考えられる。

【0269】なお、この実施例のプレーヤは図10に示す記憶回路部が着脱式のものであるが、これに限定されるものではない。情報を端末装置100からプレーヤ101に転送する場合には、記憶回路部を装着した状態のプレーヤを端末装置100のプレーヤ挿入口6701に実装して、選択した情報をプレーヤに高速転送する。このとき、端末装置100の操作スイッチ群6702の操作により記憶部303に蓄積された情報の中から転送すべき情報の選択を行なう。再生時は、プレーヤを端末装置100から引出し、単独で再生する。また、本実施例は、街の商店や駅の売店などに据え置くことを目的とした比較的大形の実施例を示している。

【0270】図68には、本発明によるデジタル信号

受渡しシステムの他の具体的な一実施例の外観を示す。図において、図1、図3、図4、図7、図10、図59もしくは図67と同一部分には同一番号を付すことにより詳細な説明は省略する。

【0271】406はスピーカ、6702は記録再生を行う操作部を示し、端末装置100自体も録音再生機能を有する装置を示す。例えば、端末装置100はFM、AM、TV等ラジオ、光ディスク、磁気ディスク、デジタルオーディオテープ、またタイム予約録音等の機能を少なくとも有する多機能形音声録音再生装置であり、本発明のデジタル信号受渡しシステムを付加することにより、さらにマルチメディア化を促進拡張できる。

【0272】上記端末装置100の形状は据置きでも可般形でも、また環境に応じて変形できることは言うまでもない。また、電話等に本発明のデジタル信号受渡しシステムを導入し、留守番録音機能で多量の情報を入手することもできる。

【0273】なお、本実施例は、家庭用の比較的小形な実施例を示している。

【0274】図69には、本発明によるデジタル信号受渡しシステムの最も特徴的な具体的実施例の外観を示す。図において、図1、図3、図4、図7もしくは図10と同一部分には同一番号を付すことにより詳細な説明は省略する。本実施例は、誰にも簡単に操作できることを実現するため、下記のような特徴を持っている。本実施例では特に図示していないが、液晶表示装置303にタッチパネルを採用して操作説明および操作スイッチの機能を同画面に表現すると操作画面の階層化等により操作スイッチを極力無くしている（後述の確認スイッチのみ）。これにより、利用者に対する使い勝手を大幅に向上している。更に、端末装置100のプレーヤ挿入に対して逆挿入を防止するような機械的加工が施されている。また、利用者の情報の誤選択を防止するために確認スイッチ6901を設けている。上記の試聴機能により、選択した情報を確認したあと、確認スイッチ6901を押し下ることにより瞬時にプレーヤ101へ情報を転送する。また、表示パネル303には、通常の操作画面の他に、端末装置100がプレーヤ101内の電池710の状態をチェックした結果やプレーヤ挿入確認メッセージも表示されるようになっている。

【0275】更に端末装置100とプレーヤ101とはJEIDA規格またはJEIDA規格に準ずるコネクタで接続される。

【0276】本実施例のプレーヤ101は、電源をオン／オフするスイッチと、上記遅き気／早聴きモードを指定するスイッチと、ラウドネスモードを指定するスイッチ及び再生／停止／一時停止動作を指示する1個の押しボタンスイッチが設けられている。

【0277】また、本実施例の端末装置100の液晶表示装置303には文字及びグラフィック画面をモノクロ

表示したが本発明はこれに左右されることなく、静止画像や動画像を、しかもカラー表示しても何ら問題は無い。以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) デジタル信号の受け渡しにおいてデジタル信号供給源と一対一に対応して端末装置としてのプレーヤを直接接続し、特定されたデジタル信号をそのまま受け取り記憶回路に記憶させるとともにプレーヤ単独で記憶させたデジタル信号の再生を行う。この構成では、プレーヤは、デジタル信号を受け取り、単独でそれを再生するものであるため、受け渡されたデジタル信号の価値をそのまま発揮させることができるという効果が得られる。

【0278】(2) 上記(1)により、商品等として受け渡されるデジタル信号は、その加工、製造や販売システムの構築が容易に行えるという効果が得られる。

【0279】(3) 上記(1)により、受け渡されたデジタル信号をそのものに商品等としての価値を認めてそれを単に再生するだけの単純化された機能をプレーヤが持つものであるため、プレーヤの構成が簡単でかつ操作も易しいから誰にでも扱えるという効果が得られる。

【0280】(4) デジタル信号の供給元から必要に応じてデジタル信号を通信回線又は適当な記憶媒体を介して受け取り記憶する端末装置を設け、これにプレーヤとコネクタを介して接続されて特定されたデジタル信号の受け渡しを行うことにより、商品等としてのデジタル信号の販売システムを高速にかつ合理的に行うことができるという効果が得られる。

【0281】(5) 端末装置として、比較的大きな記憶容量を持つ磁気ディスクメモリ装置をバックアップメモリとして用い、受け渡し量の多いデジタル信号又は時間の経過とともに更新されるデジタル信号は高速アクセスが可能な半導体メモリにより構成されるバッファメモリに記憶させることにより、効率のよいデジタル信号の受け渡しが実現できるという効果が得られる。

【0282】(6) 端末装置として、マイクロコンピュータ機能を持たせて上記磁気ディスクメモリやバッファメモリの管理及び通信回線を介した供給元とのデジタル信号の授受を行うこと、他、プレーヤ内の記憶回路の記憶エリアの管理をも行うことにより、プレーヤの簡素化と記憶回路の有効利用が可能になるという効果が得られる。

【0283】(7) 端末装置として、デジタル信号の一部部分を一定時間に限ってモニター可能な機能を付加することにより、目的のデジタル信号の選択ミスを防いだり、目的のデジタル信号の選択を容易にできるという効果が得られる。

【0284】(8) 受け渡されるデジタル信号をデジタル音声信号として、音声情報に限定することによ

り、プレーヤでの機能を記憶と再生のように単純化できるという効果が得られる。

【0285】(9) 受け渡されるデジタル信号にIDコードを付加してプレーヤにおける再生条件を自動指定することにより、情報プログラムに対応した多様なデジタル信号の受け渡しを行うとともに、その使い勝手を良くすることができるという効果が得られる。

【0286】(10) プレーヤ本体からカード状の記憶回路部を着脱可能にすることにより、記憶回路として各種RAMやEEPROMあるいはROMを利用でき、機能の多様化が図られるという効果が得られる。

【0287】(11) プレーヤの外部形状及びコネクタが既存のメモ리카ードと互換性を持つようにし、内部の記憶回路を既存のメモ리카ードと同等に使用可能にできるという効果が得られる。

【0288】(12) 上記(10)及び(11)により、プレーヤの多機能化や用途の拡大を図ることができるという効果が得られる。

【0289】(13) プレーヤにパスワード又はパスワードの一致検出信号に従い記憶回路の入力及び／又は出力動作に機密保護機能を付加することにより、安易なコピーや、盗聴等を防止できるから受け渡されるデジタル信号の商品価値を高くすることができるという効果が得られる。

【0290】(14) プレーヤの記憶回路部の一部として薄いカード状の記憶装置を着脱可能にすることにより、必要に応じて記憶容量の拡張や、各種ROMにより構成されたプログラムの再生も可能になるから多様な機能が実現できるという効果が得られる。

【0291】(15) 上記機密保護方式として、デジタル信号の記憶回路のデータ入力及び／又はデータ出力、あるいはアドレス入力部の少なくとも1ビットのデジタル信号を反転させ、あるいは他のビットと入替えを行う構成を採ることにより、簡単な構成により機密保護ができるという効果が得られる。

【0292】(16) プレーヤに複数のデジタル信号に対応した格納アドレスを含む目次情報を記憶する記憶領域又は目次記憶回路と、上記格納アドレスによりアクセスされるデータ領域又はデータ記憶回路とを設けることにより、複数種類の情報としてのデジタル信号を効率よく記憶回路に格納させることができるという効果が得られる。

【0293】(17) 上記プレーヤの動作制御を1つのキースwitchのオン時間又はオン回数の組み合わせにより複数種類からなる動作モードの指定を行うことにより、プレーヤの小型及び薄型化が実現できるという効果が得られる。

【0294】(18) デジタル化された音声信号の無音期間を検出し、その無音期間において、デジタル／アナログ変換回路に入力されるデジタル信号を強制

的に交流的な0レベルに対応した信号に置き換えることにより、無音期間の耳ざわりな量子化雑音を除去することができるといふ効果が得られる。

【0295】(19) 無音期間の検出を調整可能にされた正負両極性のそれぞれ無音と見做すレベルに対応したデジタル信号と、再生されるデジタル信号との大小比較を行う一対のコンパレータの出力信号に基づいて形成することにより、デジタル信号のプログラムの内容に応じて正確な無音期間の検出を行うことができるといふ効果が得られる。

【0296】(20) デジタル化された音声信号の無音期間を検出して、その間を拡大延長させることにより、高音質を維持しつつ遅聴きが可能になるといふ効果が得られる。

【0297】(21) デジタル信号が格納された記憶回路のアドレス更新動作を通常動作に比べて実質的に遅する簡単な構成により、高音質を維持したままでの遅聴きが実現できるといふ効果が得られる。

【0298】(22) デジタル化された音声信号の無音期間を検出し、その間を短縮することにより、高音質を維持しつつ早聴きが可能になるといふ効果が得られる。

【0299】(23) デジタル信号が格納された記憶回路のアドレス更新動作を通常動作に比べて速くする簡単な構成により、高音質を維持したままでの早聴きが実現できるといふ効果が得られる。

【0300】(24) デジタル信号の無音期間を無音コード情報と無音時間情報とに置き換えることによってデータ圧縮が可能になるとともに、その時間情報に対応した無音時間を作り出すことの他、簡単な回路の追加によって上記時間情報を拡大して無音時間を長くして再生したり又はそれを無視して再生することにより、遅聴き又は早聴きを行うことができるといふ効果が得られる。

【0301】(25) 無音コードとしてほぼ正の最大値とほぼ負の最大値に対応した少なくとも2つの連続したデジタル信号を組み合わせることにより、デジタル音声信号と無音コードとの識別が容易に行えるといふ効果が得られる。

【0302】(26) 最大無音時間を設定し、遅聴き動作に伴い拡大された無音期間が上記最大無音時間を超えないように制限する機能を設けることにより、遅聴きモードでの再生に要する無駄時間を無くすることができるといふ効果が得られる。

【0303】(27) 1つ前のサンプリングデータと入力されたデータとの差分を求め、差分が圧縮される符号の最大値より大きい場合には最大値を出力し、小さい場合には減算結果を出力させて圧縮されたデータを出力してデータ圧縮を行う。この方式では、音響信号等のように振幅や周波数分布は時間とともに比較的穏やかなデ

ータにおいては、減算や加算といった簡単な構成により忠実度の高いデータ圧縮を行うことができるという効果が得られる。

【0304】(28) 上記(27)により、データ圧縮及び伸長回路が減算器や加算器、レジスタやコンパレータといった簡単な回路により実現でき、その消費電力も小さく抑えることができるという効果が得られる。

【0305】(29) 上記のようなデータ変換方式及び回路を用いることにより、記憶回路に記憶された音響信号を再生するプレーヤの小型軽量化が実現できるといふ効果が得られる。

【0306】(30) デジタル入力信号を記憶回路に記憶させ、基準時間パルスを受けデジタル入力信号の最大値に対応した計数動作を行うカウンタ回路の出力と上記記憶されたデジタル信号とをコンパレータ比較してパルス幅変調信号を形成する動作をリピートカウンタにより複数回に繰り返させることにより、高音質のアナログ信号を得ることができるという効果が得られる。

【0307】(31) デジタル信号の最大値に対応した一定の周期により供給されるデジタル信号をダウンカウンタに入力して、基準時間パルスを形成させるという簡単な回路により、上記デジタル信号に対応したパルス幅変調信号を得ることができるという効果が得られる。

【0308】(32) 上記デジタル信号の最大値に対応した一定の周期を、上記基準時間パルスを受けてデジタル入力信号に対応した計数動作を行うアップカウンタ回路により形成することにより、簡単な構成でアドレス変換動作に対応したデジタル信号を入力させることができるという効果が得られる。

【0309】(33) 上記再生機構付きメモ리카ードを構成する機能のうち、記憶回路を除くデジタル／アナログ変換回路、ローパスフィルタ、増幅回路、制御回路などを1チップ集積回路化することにより、極めて小形で、消費電力の極端に小さい装とを提供できる。又、量産が容易に行なえるようになりコストも下げられる。

(34) 上記再生機能付きメモ리카ードにおいて、記憶回路を自己診断して欠陥ビットをスキップする機能を設けることにより、従来検査で捨てられている不良メモリチップを使用することができ、極めて安価な装置を提供できる。

【0310】(35) 上記プレーヤをJEIDA規格に適合させることにより、既存のメモ리카ードとの互換性を確保できる。

【0311】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。例えば、デジタル信号受け渡しシステムでは、デジタル信号を1つの商品として販売するもの他、証券会社や金融保険会

社等のサービスの1つ等として、プレーヤを指示する特定の者に対して無償により提供されるものであってもよい。あるいは、デジタル信号の全体を一括契約により、定期的にあるいは任意に必要な情報の受け渡しに利用されるものであってもよい。また、デジタル信号は、語学学習や各種受験用の暗記に必要なデータ等のように音声信号により伝達可能なものであれば何であつてもよい。

【0312】更には、上記のようなデジタル信号受け渡しシステムにより、活字を用いた従来の新聞、週刊誌等に代えて、デジタル音声信号を用いて各種情報、娯楽を提供するといったようなタイムリーで極めて効率のよい近未来的なメディアを構築することも可能である。

【0313】プレーヤには、拡張用のROMカード又はRAMカードが接続可能なコネクタを設ける構成としてもよい。この場合、プレーヤ自体の厚みが厚くなるのを防ぐために、上記ROMカードやRAMカードは、メモリチップが内蔵された薄いプラスチックカード等から構成されることが望ましい。ROMカードは、音楽プログラムや語学学習等に便利なものとなる。上記RAMカードは、記憶回路容量の拡張に有効な手段となる。例えば、演奏時間の長い音楽プログラム等を受け取るときに上記RAMカードが有効となる。

【0314】デジタル信号受け渡しシステムに用いられる端末装置、プレーヤの構成、機能等は種々の実施形態を採ることができるものである。プレーヤに内蔵される記憶回路は、前記疑似スタティック型RAMの他、スタティック型RAMを用いるものや、ダイナミック型RAMと自動リフレッシュ回路から構成したもの、さらには記憶保持のために電池が不要なフラッシュメモリ（EEPROM）や各種ROM等でもよいし、書換え可能な小型で薄型の光ディスクメモリを用いるものであつてもよい。

【0315】デジタル信号は、前記のような音声信号の他に、文字情報や画像情報あるいは音声信号と文字又は画像情報とが組み合わせたものであつてもよい。このように文字情報や音声情報を再生するためには表示装置が必要になる。表示装置としては、特に制限されないが、薄型で小型軽量化が可能な液晶表示装置を用いるようにすればよい。

【0316】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、デジタル信号の受け渡しにおいてデジタル信号供給源と端末装置としてのプレーヤを直接接続し、特定されたデジタル信号を受け取り記憶回路に記憶させるとともにプレーヤ単独で記憶させたデジタル信号の再生を行う。このシステムでは、プレーヤがデジタル信号の形態のままで受け取り、単独で再生するものであるため、受け渡されたデジタル

信号の価値をそのまま発揮させることできる。そして、受け渡しはデジタル信号の形態のままでよいからその加工、製造や販売システムの構築が容易に行えらるとともに、プレーヤの構成が簡単でかつ操作も易しいから誰にでも扱えるものとなる。また、デジタル化された音声信号の無音期間を検出し、その無音期間を拡大させり短縮させることにより、高音質を維持しつつ遅聴き再生や早聴き再生が実現できる。音響信号等のように振幅や周波数分布が時間とともに比較的穏やかなデータにおいては、忠実度の高いデータ圧縮および伸長処理を減算器や加算器、レジスタやコンパレータといった簡単な回路により実現できる。しかも、デジタル入力信号に対応したパルス幅の信号を、1回の信号変換期間において複数回繰返して行うようにすることにより、平滑したときのリップルを大幅に減少できるから高品質のアナログ信号を得ることができる。また、プレーヤを1チップ集積回路化することにより極めて小形で消費電力の極端に少ない装置を実現し、量産が容易となるためコストも下げられ、自己診断機能により不良メモリチップが使用可能になり、極めて安価な装置を提供できる。

【図面の簡単な説明】

【図1】この発明に係るデジタル信号受け渡しシステムの一実施例を示す要部ブロック図である

【図2】図1の端末装置の入力部のブロック図である

【図3】図1の端末装置の記憶部のブロック図である

【図4】図1の端末装置の出力部のブロック図である

【図5】プレーヤのデータ入力部の要部ブロック図である

【図6】図1の端末装置のデータ出力部の要部ブロック図である

【図7】この発明に係るデジタル信号受け渡しシステムに用いられるプレーヤの一実施例を示すブロック図である

【図8】上記プレーヤを構成する実装基板の一実施例を示す平面図である

【図9】ケースに治められる状態の実装基板の一実施例を示す側面図である

【図10】プレーヤの他の一実施例を示す平面図である

【図11】図10のプレーヤ本体と記憶回路部の一実施例を示すブロック図である

【図12】プレーヤの電源供給方式の一実施例を示すブロック図である

【図13】端末装置からプレーヤに転送されるデジタル信号の一実施例の示す構成図である

【図14】図13のIDコードが挿入されるデジタル信号に対応したプレーヤの一実施例を示すブロック図である

【図15】この発明に係る量子化雑音除去回路の一実施例を示す回路図である

【図16】図15の量子化雑音除去回路の動作の一例を

説明するための波形図である

【図17】この発明に係るデジタル信号販売システムに用いられる機密保護回路の一実施例を示す回路図である

【図18】この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例を示す回路図である

【図19】この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例を示す回路図である

【図20】この発明に係るデジタル信号販売システムに用いられる機密保護回路の他の一実施例を示す回路図である

【図21】この発明に係るデジタル信号販売システムに用いられる機密保護回路の更に他の一実施例を示す回路図である

【図22】図21の機密保護回路に用いられる並べ換え回路の一実施例を示す具体的回路図である

【図23】この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の一実施例を示す回路図である

【図24】この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の他の一実施例を示す回路図である

【図25】この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の更に他の一実施例を示す回路図である

【図26】この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の更に他の一実施例を示す回路図である

【図27】図26の機密保護回路に用いられる並べ換え回路の一実施例を示す具体的回路図である

【図28】この発明に係るデジタル信号販売システムに用いられるコピー防止に適した機密保護回路の更に他の一実施例を示す回路図である

【図29】図28の機密保護回路に用いられる並べ換え回路の一実施例を示す具体的回路図である

【図30】この発明に係る早聴きと遅聴き再生を実現したデジタル音声信号処理回路の一実施例を示すブロック図である

【図31】この発明に係る早聴き回路の具体的一実施例を示すブロック図である

【図32】この発明に係る遅聴き回路の具体的一実施例を示すブロック図である

【図33】図31の早聴き回路に対応した動作波形図である

【図34】図32の遅聴き回路に対応した動作波形図である

【図35】この発明に係る早聴き回路の他の一実施例を示すブロック図である

【図36】この発明に係る遅聴き回路の他の一実施例を示すブロック図である

【図37】この発明に係る遅聴き回路の具体的他の一実施例を示すブロック図である

【図38】図37に示した遅聴き回路の動作の一例を説明するための動作概念図である

【図39】図37に示した遅聴き回路の動作の他の一例を説明するための動作概念図である

10 【図40】図37に示した遅聴き回路の動作の更に他の一例を説明するための動作概念図である

【図41】この発明に係る早聴きと遅聴き動作の他の一実施例を説明するため波形図である

【図42】図41の無音信号MKの一実施例を示すビットパターン図である

【図43】データ圧縮が行われたデジタル信号に対する早聴き／遅聴きモードを含むデジタル信号再生回路の一実施例を示すブロック図である

【図44】この発明に係るデータ変換方式により構成されたデータ変換回路の一実施例を示すブロック図である

20 【図45】図44のデータ圧縮動作を伴うアナログ／デジタル変換動作の一例を説明するための波形図である

【図46】この発明に係るデータ変換方式により構成されたデータ変換回路の他の一実施例を示すブロック図である

【図47】この発明に係るデジタル／アナログ変換回路の一実施例を示すブロック図である

【図48】図47のデジタル／アナログ変換回路の動作の一例を示す波形図である

30 【図49】この発明に係るデジタル／アナログ変換回路の他の一実施例を示すブロック図である

【図50】この発明に係るデジタル／アナログ変換回路の更に他の一実施例を示すブロック図である

【図51】デジタル信号受け渡しシステムに用いられるプレーヤのスイッチ入力回路の一実施例を示す基本的ブロック図である

【図52】動作状態制御回路の具体的構成の一実施例を示すブロック図である

【図53】図52の実施例の動作モードを説明するための概念図である

40 【図54】動作状態制御回路の具体的構成の他の一実施例を示すブロック図である

【図55】図54の実施例の動作モードを説明するための概念図である

【図56】プレーヤに搭載される記憶回路の記憶領域管理方式の一実施例を示すブロック図である

【図57】プレーヤに内蔵される記憶回路の記憶領域管理方式の一実施例の概念図である

【図58】プレーヤに内蔵される記憶回路の記憶領域管理方式の他の一実施例の概念図である

50 【図59】図58の目次機能を付加した場合のプレーヤ

の一実施例を示す要部ブロック図である

【図60】図7と同様のプレーヤの一実施例を示すブロック構成である

【図61】図60の実施例において記憶回路を拡張する場合の一実施例を示すブロック図である

【図62】自己診断回路の一実施例を示す要部ブロック構成である

【図63】JEIDA規格によるメモ리카ードのタイプIの外形図である

【図64】JEIDA規格によるメモ리카ードのタイプIIの外形図である

【図65】JEIDA規格によるメモ리카ードのピン配置を示す表である

【図66】JEIDA規格によるメモ리카ードの信号特性を示す表である

【図67】この発明に係るディジタル信号受け渡しシステムの具体的な一実施例の外観を示す図である

【図68】この発明に係るディジタル信号受け渡しシステムの他の具体的な一実施例の外観を示す図である

【図69】この発明に係るディジタル信号受け渡しシステムの更に他の具体的な一実施例の外観を示す図である

【符号の説明】

100…端末装置、101…再生機能付きメモ리카ード（プレーヤ）、102…入力部、103…記憶部、104…出力部、105…VMEバス、201…B-I S D N対応ネットワークインタフェース、202a、202b…ローパスフィルタ、203…マルチプレクサ、204…サンプルホールド回路、205…アナログ/ディジタル変換回路、206…入力部制御回路、207…ディジタル入力インタフェース、301…ハードディスク、302…ハードディスク制御回路、303…液晶表示装置、304…LCD制御回路、305…VMEインタフェース、306…マイクロプロセッサ、307…リード・オンリ・メモリ（ROM）、308…ランダム・アクセス・メモリ（RAM）、309…内部バス、401…出力インタフェース、402…再生機能付きメモ리카ード制御回路、403…バッファメモリ、404…モニタ制御回路、405…モニタ、406…スピーカ、407…電源回路、501…入力バッファ、502…フォトセンサ、503…I-Vアンプ、504…シリアル/パラレル変換回路、505…PLL発振回路、506…分周回路、507…マルチプレクサ、508…モードスイッチ、601…出力バッファ、602…パラレル/シリアル変換回路、603…スタートビット付加回路、604…V-Iアンプ、605…レーザダイオード、701…記憶回路、702…マルチプレクサ、703…アドレスカウンタ、704…制御回路、705…パラレル/シリアル変換回路、706…ローパスフィルタ、707…ディジタル/アナログ変換回路、708…増幅回路、709…大規模集積回路（ゲートアレイ）、710…電源回

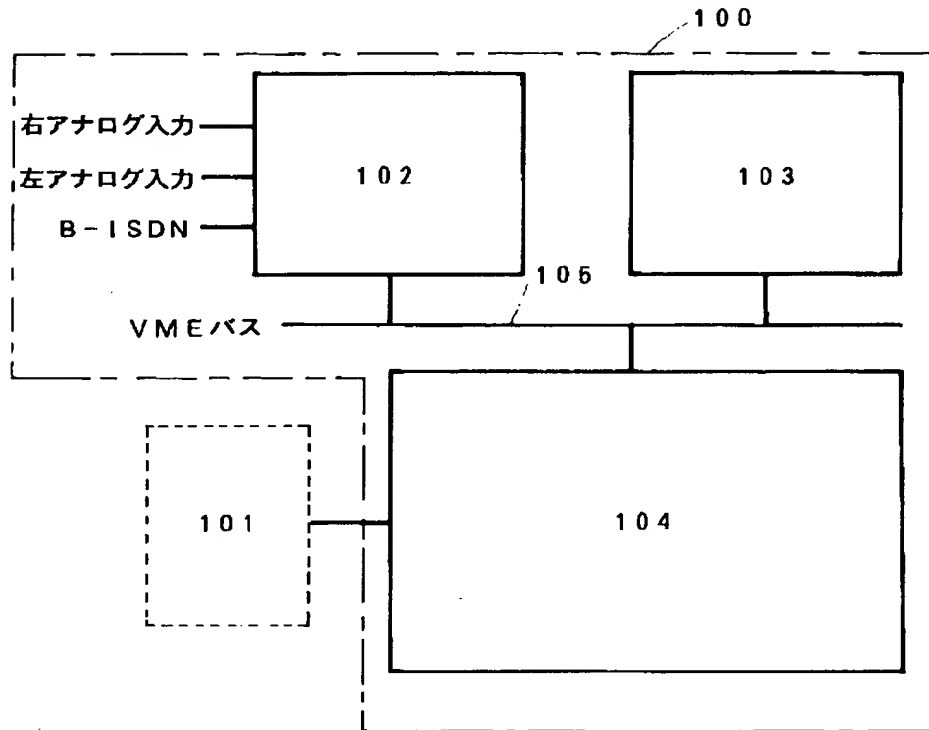
路、711…イヤホンジャック、801a~801h…4Mb擬似SRAM（スタティック・ランダム・アクセス・メモリ）、802…メモリ基板、803…フレキシブル配線基板、804…コネクタ、805…増幅回路素子、806…増幅回路素子、807…コントロール基板、808a~808d…ボタン電池、1001…記憶回路部、1002…記憶回路部コネクタ、1101…制御回路、1102…記憶回路、1103…記憶回路部コネクタ、1104…マルチプレクサ、1105…マルチプレクサ、1106…アドレスカウンタ、1201…ダイオード、1202…ダイオード、1203…電池、1204…電池、1205…電池、1206…スイッチ、1207…スイッチ、1300…ビット0（D0）、1301…ビット1（D1）、1302…ビット2（D2）、1303…ビット3（D3）、1304…ビット4（D4）、1305…ビット5（D5）、1306…ビット6（D6）、1307…ビット7（D7）、1308…IDコード、1309…データ、1401…レジスタ、1402…発振回路、1403…クロックパルス発生回路、1404…マルチプレクサ、1405…ビット長変換回路、1500…量子化雑音除去回路、1501…コンパレータ、1502…論理積回路、1503…カウンタ、1504…コンパレータ、1505…論理否定回路、1507…レベル判定回路、1508…タイマ回路、1509…コンパレータ、1510、1511~151n…論理積回路、1600a…処理前の信号、1600b…処理後の信号、1700、1701~170n…排他的論理和回路、1800、1801~180n…排他的論理和回路、1900、1901~190m…排他的論理和回路、2000~200n…排他的論理和回路、2010~201n…排他的論理和回路、2101…並べ換え回路、2201…切換回路、2202…デコーダ、2203…マルチプレクサ、2204…乱数回路、23000、23001~2300n…バッファ回路、2301…論理積回路、2302…論理否定回路、24000、24001~2400n…バッファ回路、24010、24011~2401n…論理積回路、2402…論理否定回路、25000~2500m…論理積回路、2501…論理否定回路、2801…並べ換え回路、2901…切換回路、2902…デコーダ、2903…マルチプレクサ、2904…乱数回路、3001…ヘッドホン、3002…無音期間検出回路、3003…早聴き/遅聴き回路、3101…マルチプレクサ、3102…論理否定回路、3103…論理積回路、3201…フリップフロップ回路、3202…無音期間カウンタ、3203…コンパレータ、3204…Nカウンタ、3205…カウンタ、3206…論理積回路、3207…論理否定回路、3208…論理積回路、3209…論理否定回路、3210…論理積回路、3211…論理積回路、3301…原信号、3302…処理信号、330

3…無音期間、3304…無音期間、3401…処理信号、3402…無音期間、3403…無音期間、3501…加算回路、3502…レジスタ、3503…アドレスカウンタ、3504…マルチプレクサ、3505…論理積回路、3506…論理否定回路、3601…マルチプレクサ、3602…論理積回路、3603…論理否定回路、3701…論理和回路、3702…延長用カウンタ、3703…乗算回路、3704…コンパレータ、3705…マルチプレクサ、3706…コンパレータ、3707…コンパレータ、3708…論理積回路、3709…論理否定回路、3710…論理積回路、3711…論理積回路、3712…論理積回路、3713…論理否定回路、3714…フリップフロップ回路、3801…処理前の信号、3802…処理後の信号、3901…処理前の信号、3902…処理後の信号、4001…処理前の信号、4002…処理後の信号、4101…処理信号、4102…無音信号、4201…8ビット2の補数コードの最大値、4202…8ビット2の補数コードの最小値、4203…無音マーク、4204…無音期間情報、4301a~4301d…シフトレジスタ、4302a~4302d…D型フリップフロップ回路、4303…マーク検出回路、4304…コンパレータ、4305…無音カウンタ、4306…繰返しカウンタ、4307…コンパレータ、4308、4309…フリップフロップ回路、4310~4312…論理積回路、4313、4314…論理否定回路、4315…論理和回路、4401…アナログ/ディジタル変換回路、4402…減算回路、4403…コンパレータ、4404…セレクタ、4405…加算回路、4406…レジスタ、4407…基準データ、4408…記憶回路、4501…アナログ信号、4502…圧縮後のディジタル信号、4601…記憶回路、4602…加算回路、4603…レジスタ、4604…ディジタル/アナログ変換回路、4701…レジスタ、4702…コンパレータ、4703…カウンタ、4704…リピートカウンタ、4705…制御回路、4706…抵抗、4707…キャパシタ、4708…ローパスフィルタ、4901…ダウンカウンタ、4902…フリップフロップ回路、4903…抵抗、4904…キャパシタ、4905…ローパスフィルタ、5001…ダウンカウンタ、5002…アップカウンタ、5003…フリップフロップ回路、5004…制御回路、5005…論理否定回路、5006…論理積回路、50*

*07…ローパスフィルタ、5101…スイッチ、5102…動作状態制御回路、5103-1~5103-n…動作状態1~n、5201-1…状態A、5201-2…状態B、5201-3…状態C、5301a…状態A、5301b…状態A、5301c…状態B、5301d…状態A、5301e…状態C、5302…停止状態、5303…再生状態、5304…時間判定状態、5305…一時停止状態、5401-1…状態A、5401-2…状態B、5501a…状態A、5501b…状態A、5501c…状態A、5501d…状態B、5501e…状態B、5601…ブロックアドレス記憶回路、5602…ブロックアドレス用アドレスカウンタ、5603…デコーダ回路、5604…表示器、5605…チャッタキラー回路、5606…論理和回路、5607…スイッチ、5608…遅延回路、5609…論理和回路、5610…データ記憶回路、5611…データ用アドレスカウンタ、5612…論理否定回路、5701a…目次1、5701d…データ1、5701e…エンドマーク1、5701i…IDコード1、5702a…目次2、5702d…データ2、5702e…エンドマーク2、5702i…IDコード2、5703a…目次3、5703d…データ3、5703e…エンドマーク3、5703i…IDコード3、5704a…目次4、5704d…データ4、5704e…エンドマーク4、5704i…IDコード4、5801…目次記憶回路、5802…データ記憶回路、5901…目次アドレスカウンタ、5902…データアドレスカウンタ、5903…レジスタ、5904…レジスタ、5905…コンパレータ、5906…制御回路、5907…スイッチ、5908…スイッチ、5909…目次レジスタ、5910…液晶表示器、6001…1チップ集積回路、6101…拡張アドレスカウンタ、6102…拡張マルチプレクサ、6103…アドレス拡張回路、6104…拡張記憶回路、6201…カウンタ、6202…マルチプレクサ、6203…コンパレータ、6204…バッファ回路、6205…否定的論理和回路、6206…遅延回路、6207…ファーストイン・ファーストアウト・メモリ、6210…論理積回路、6211…論理積回路、6212…論理積回路、6213…論理和回路、6214…論理和回路、6215…論理和回路、6216…論理否定回路、6701…プレーヤ挿入口、6701…操作スイッチ群、6901…確認スイッチ。

【図1】

図1



【図2】

【図3】

図2

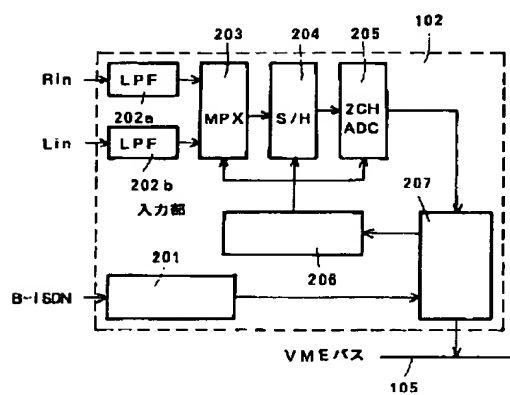
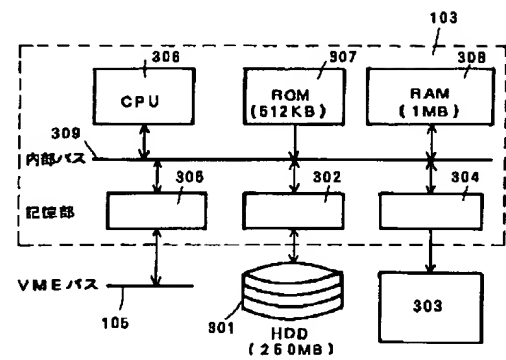
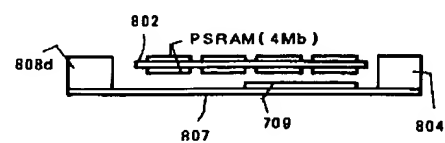


図3



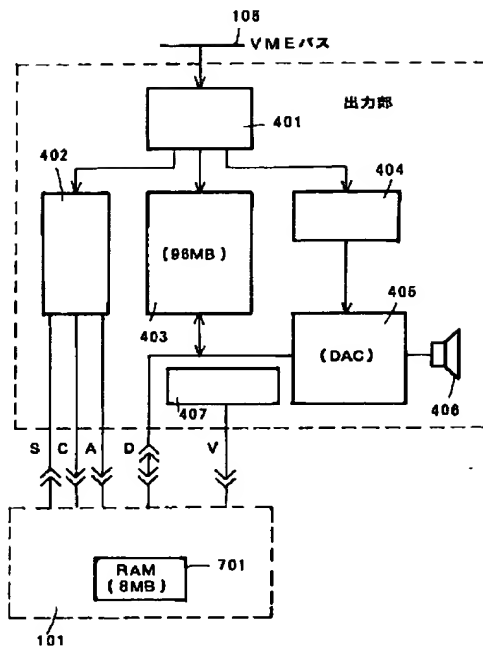
【図9】

図9



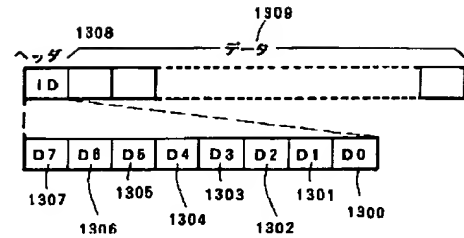
【図4】

図4



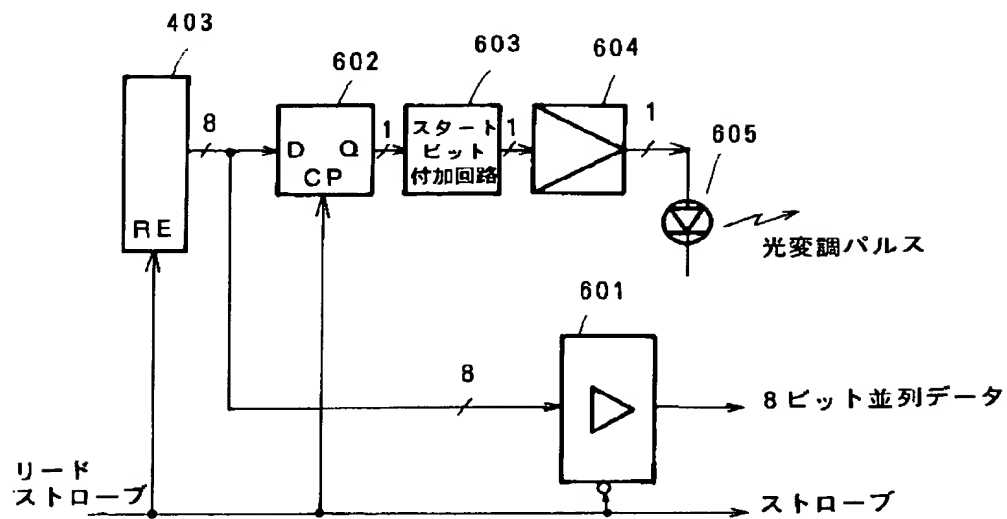
【図13】

図13



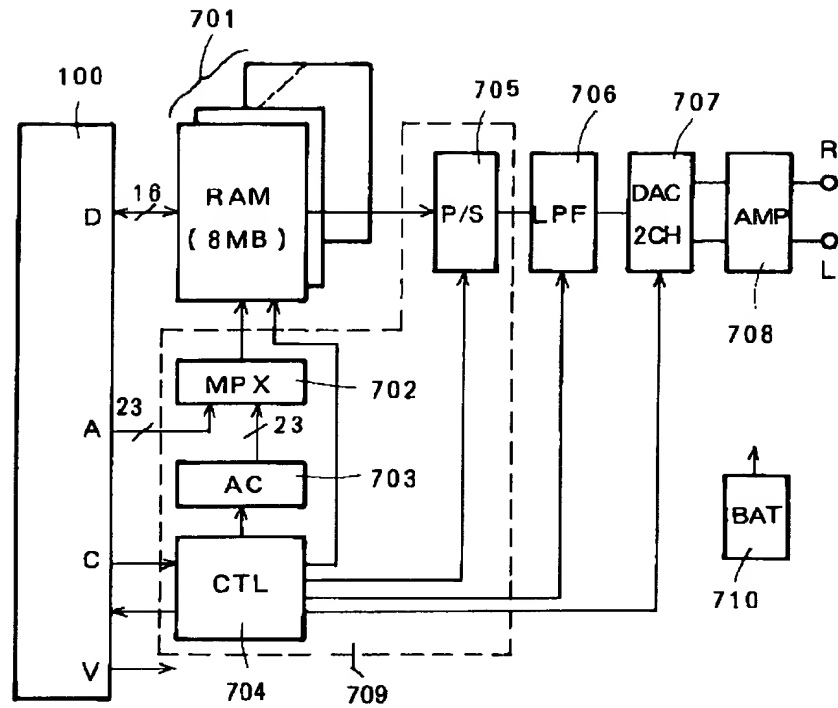
【図6】

図6



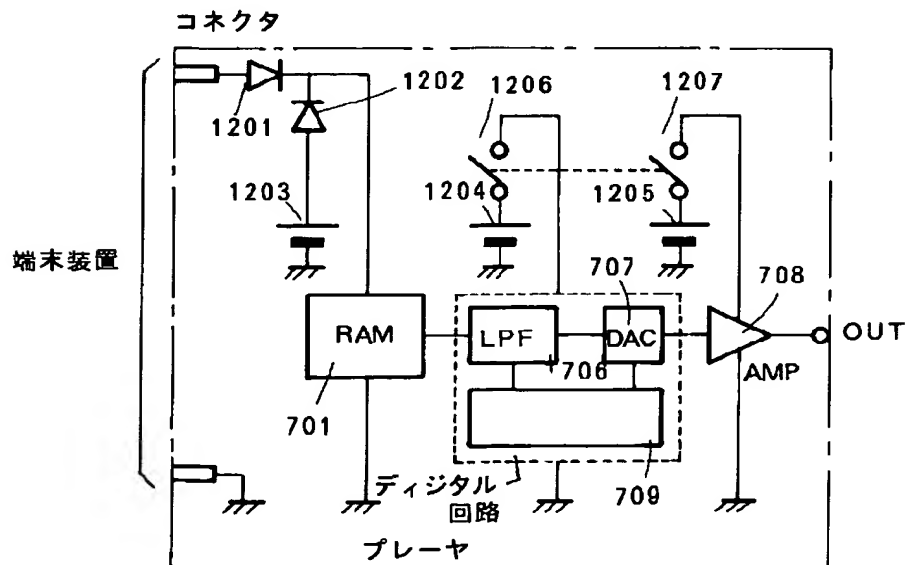
【図7】

図7



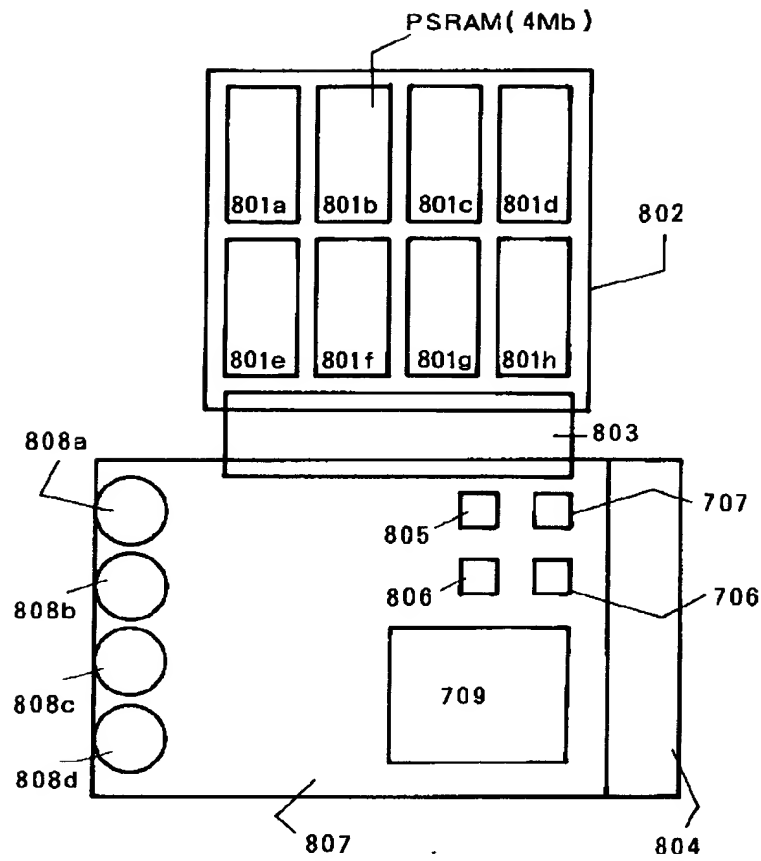
【図12】

図12



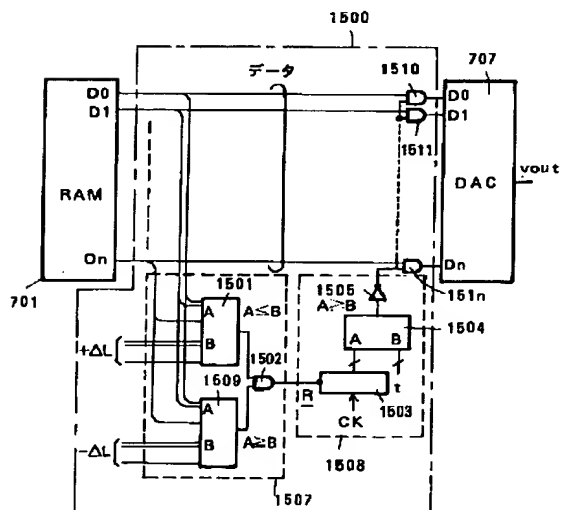
【図8】

図8



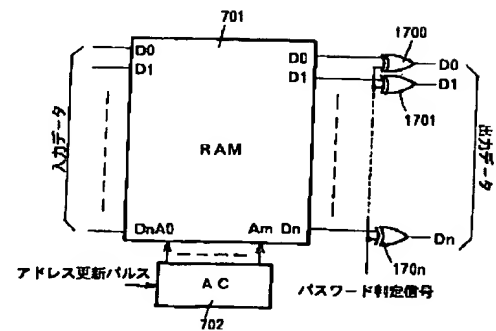
【図15】

図15



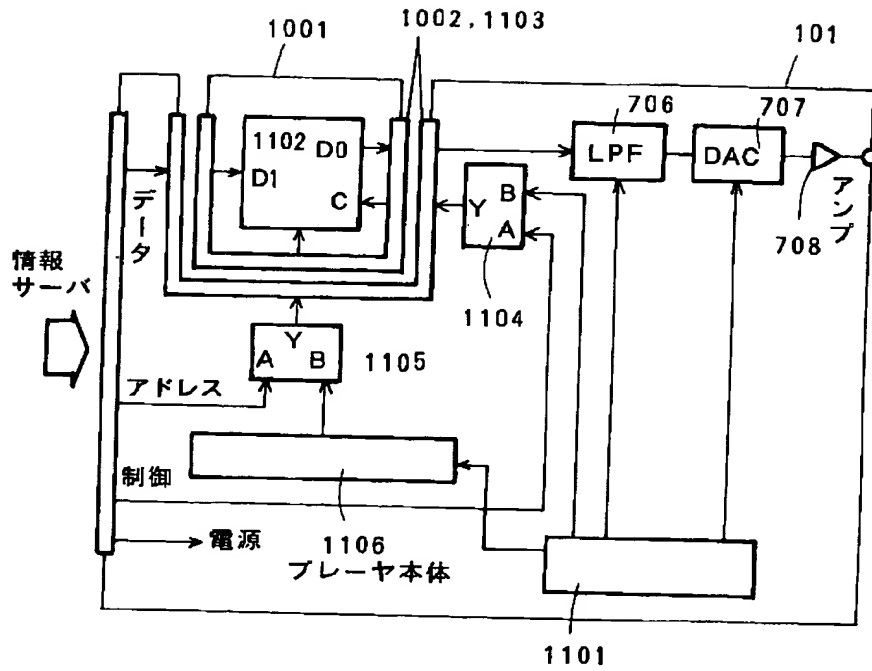
【図17】

図17



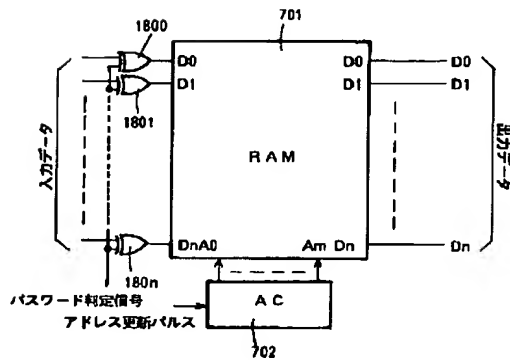
【図11】

図11



【図18】

図18



【図2.7】

図2.7

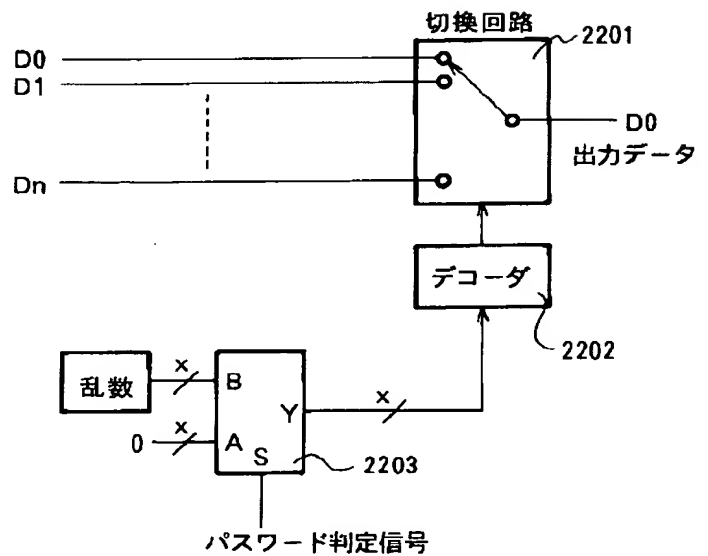


图 14

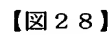


図 2 8

データ入出力

D0

D1

Dn

D0

D1

Dn

RAM

DnA0

Am

パスワード判定信号

2801

アドレス入力

2400

24001

2400n

OE

16

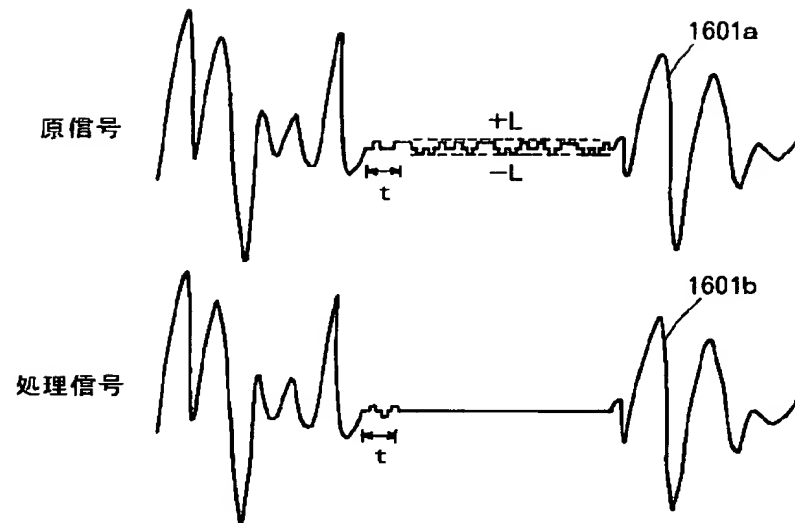
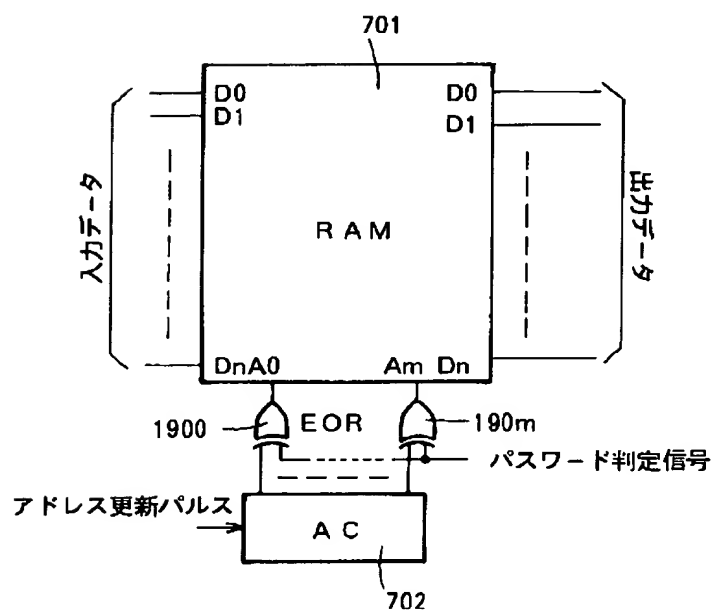
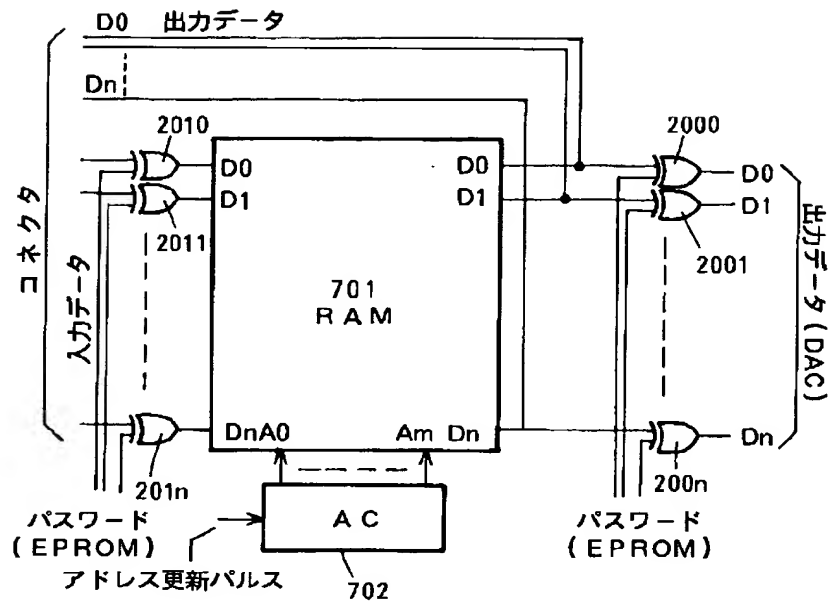


图 19



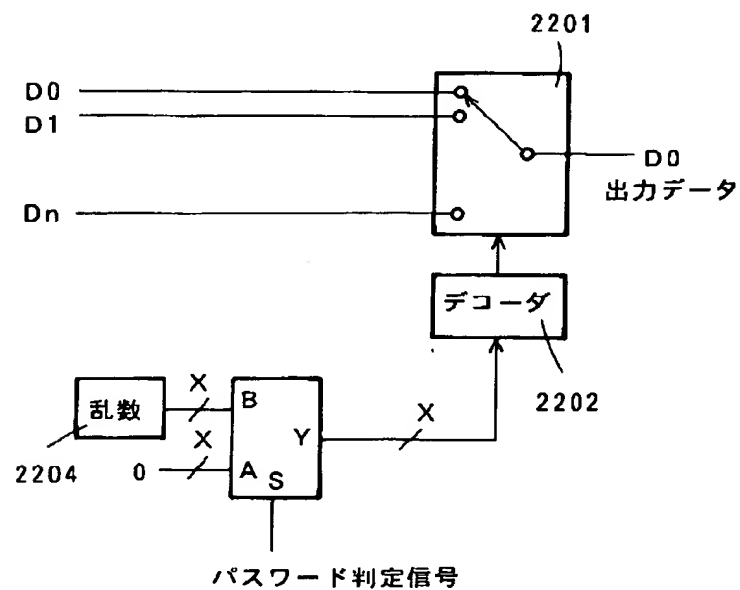
【図20】

図20



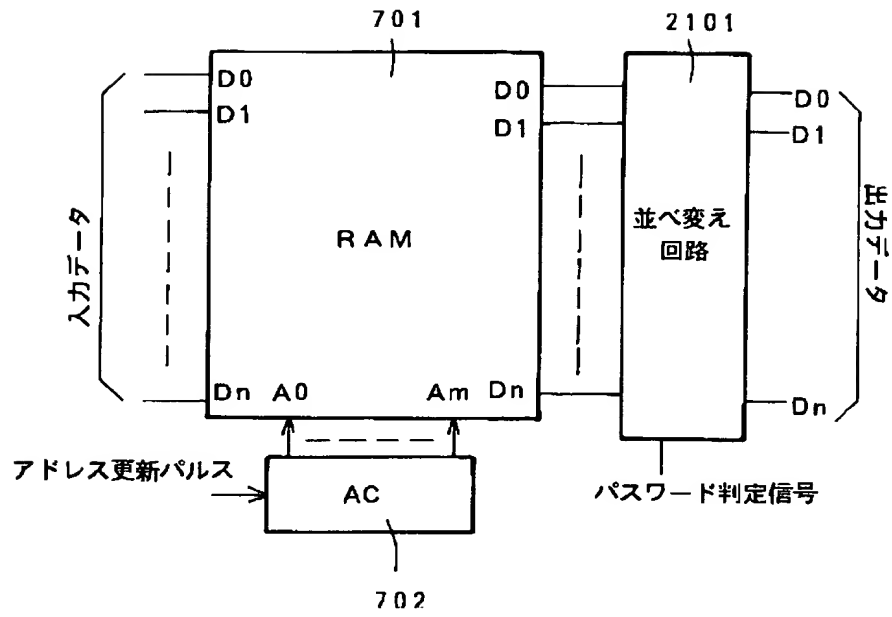
【図22】

図22



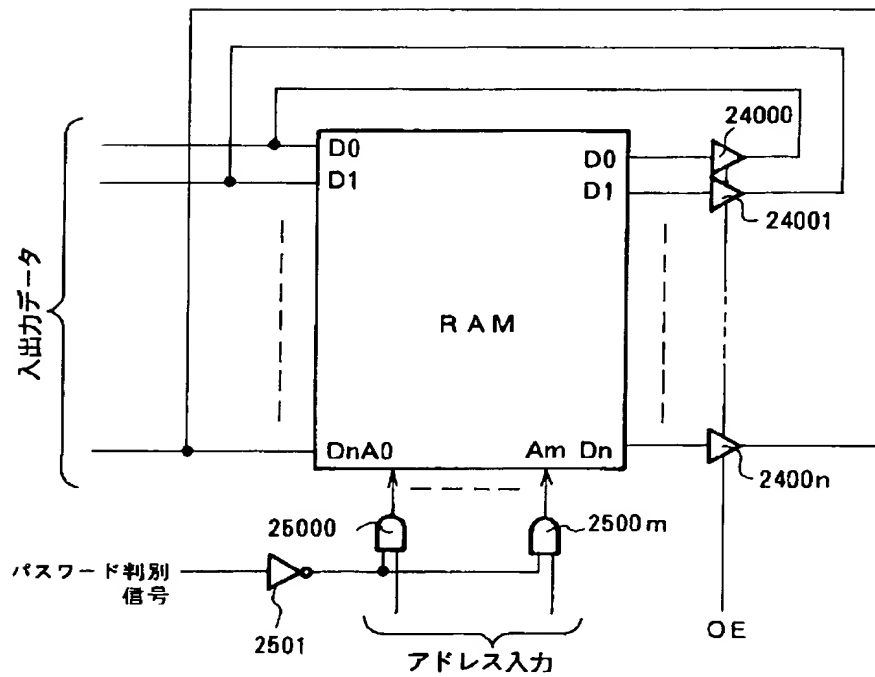
【図21】

図21



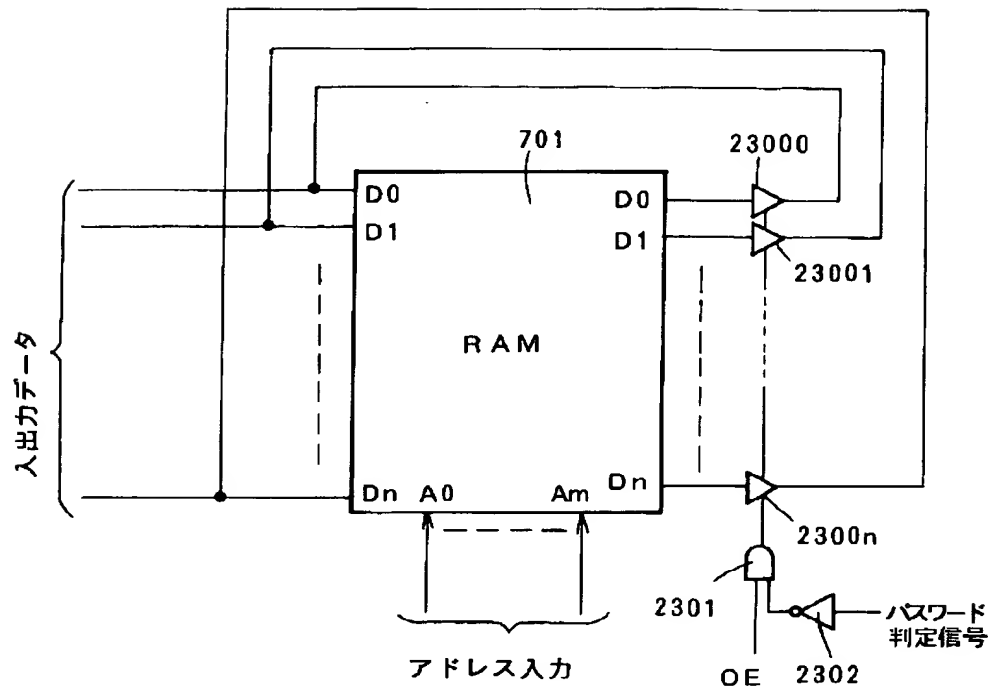
【図25】

図25



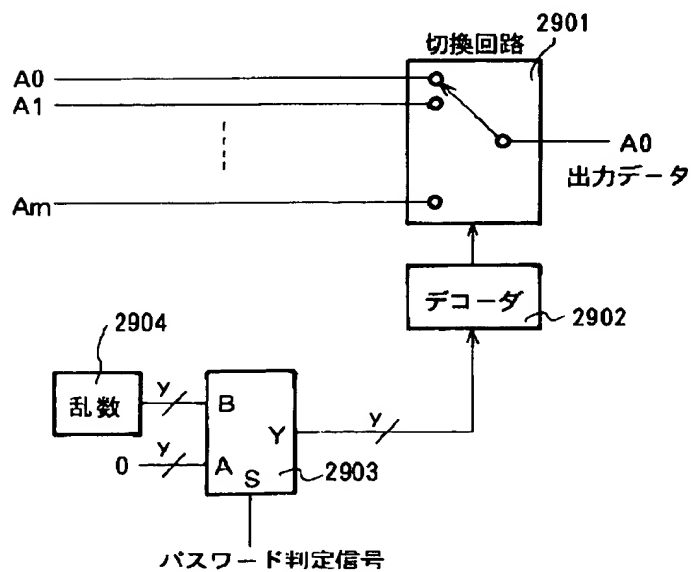
【図23】

図23



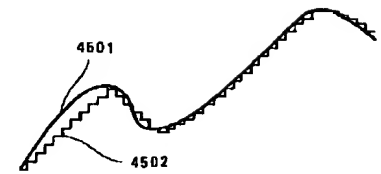
【図29】

図29



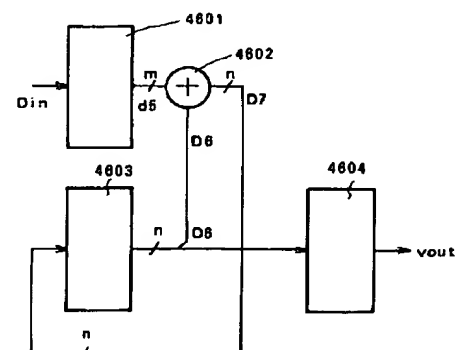
【図45】

図45



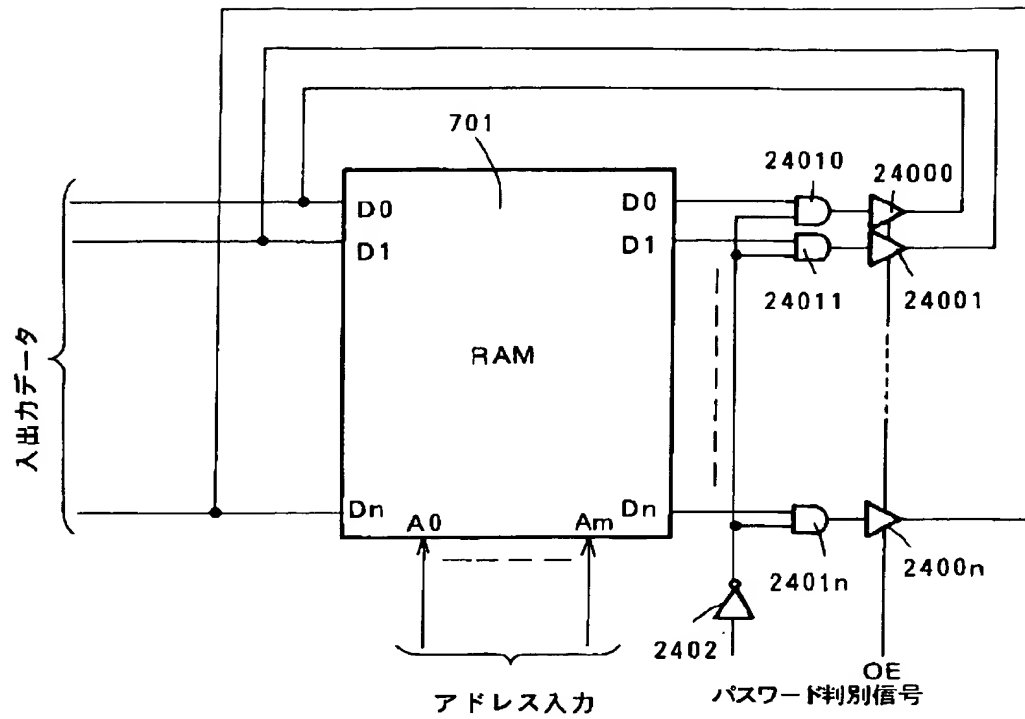
【図46】

図46



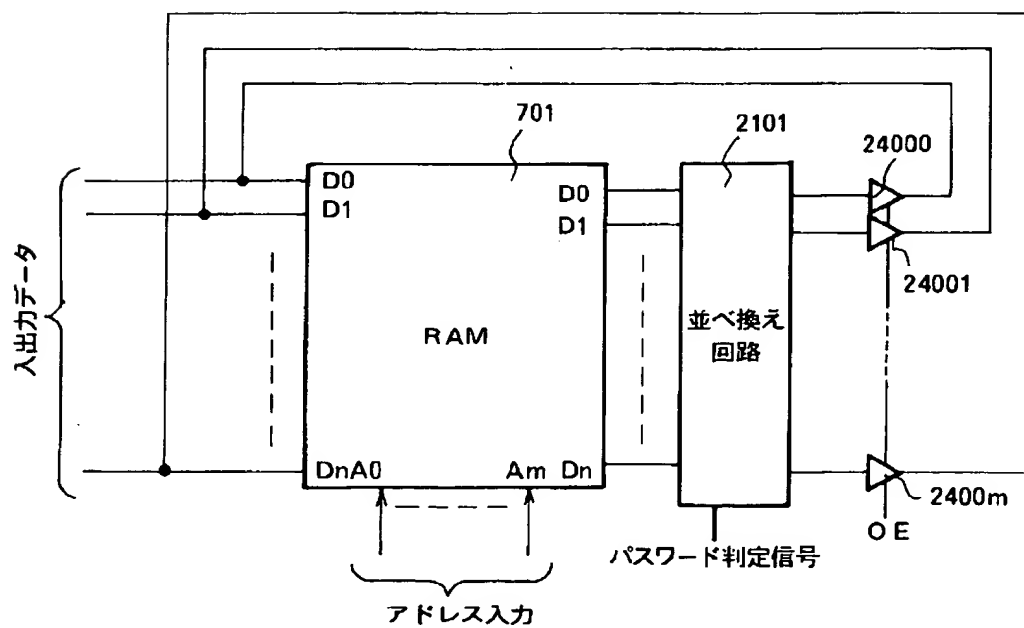
【図24】

図24



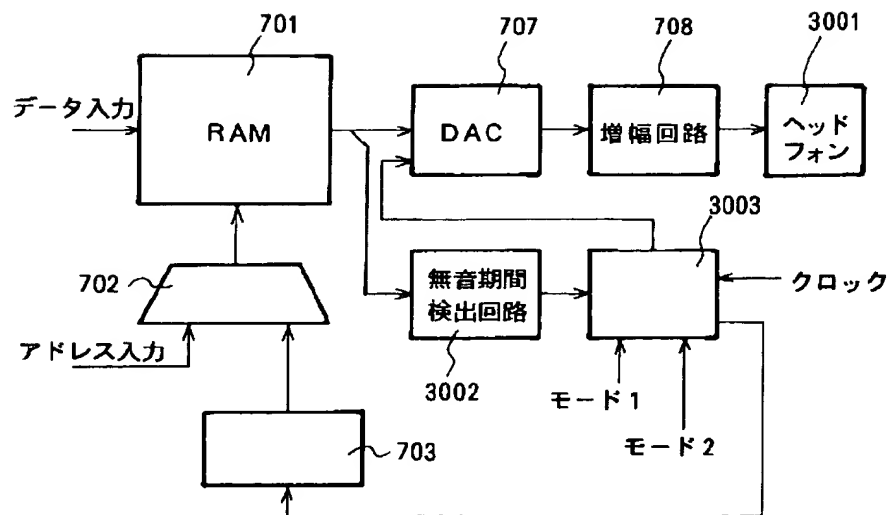
【図26】

図26



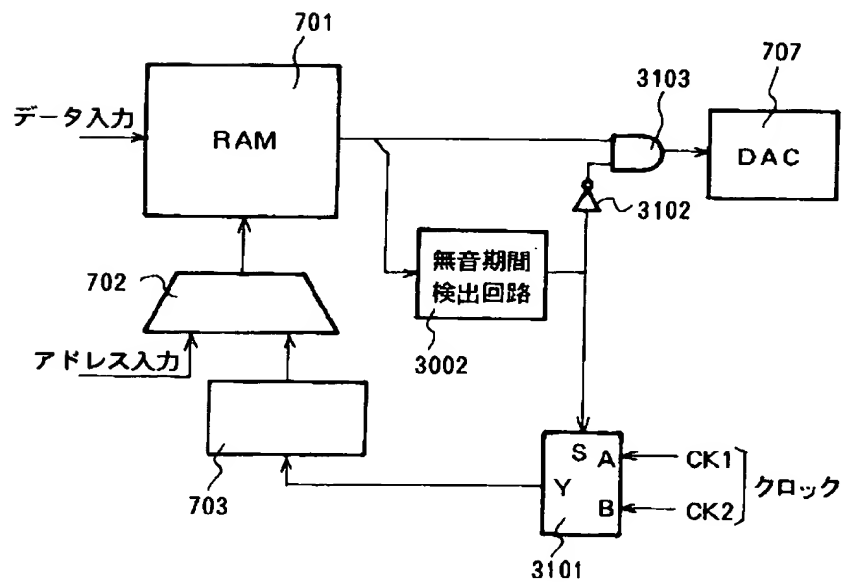
【図 3 0】

図 3 0



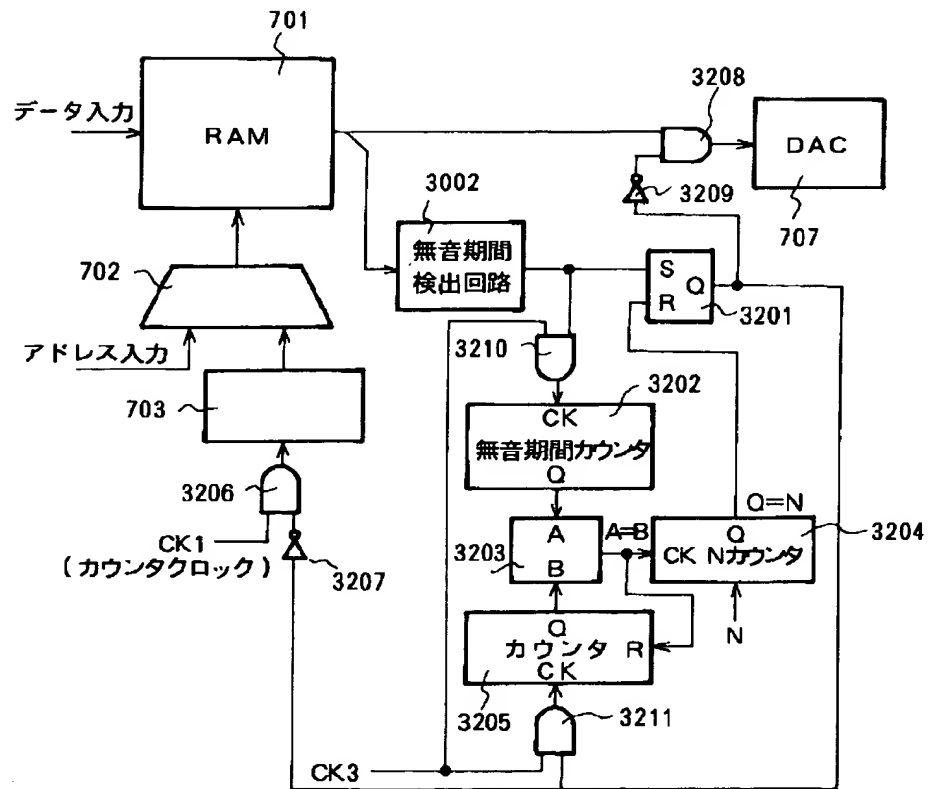
【図 3 1】

図 3 1



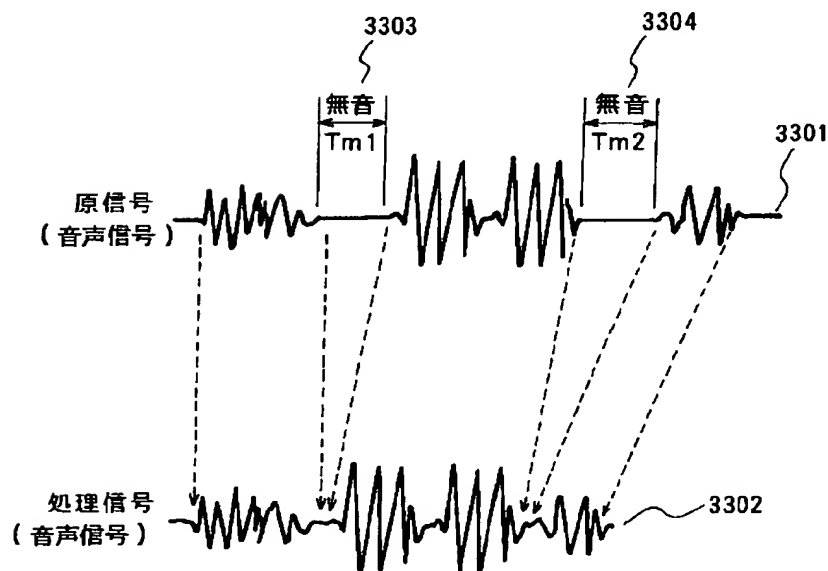
【図32】

図32



【図33】

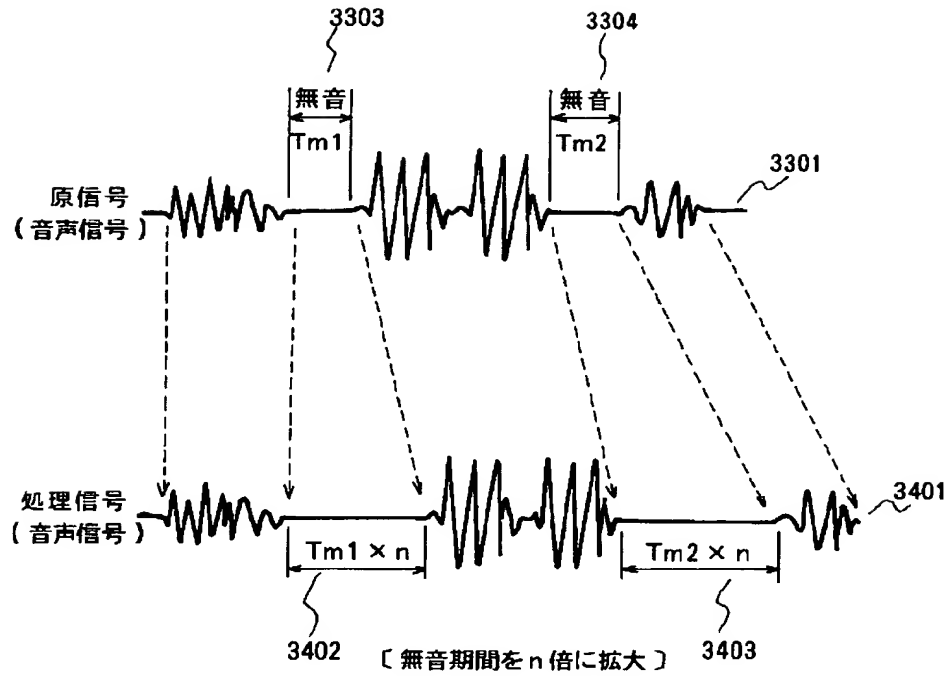
図33



〔無音期間を削除〕

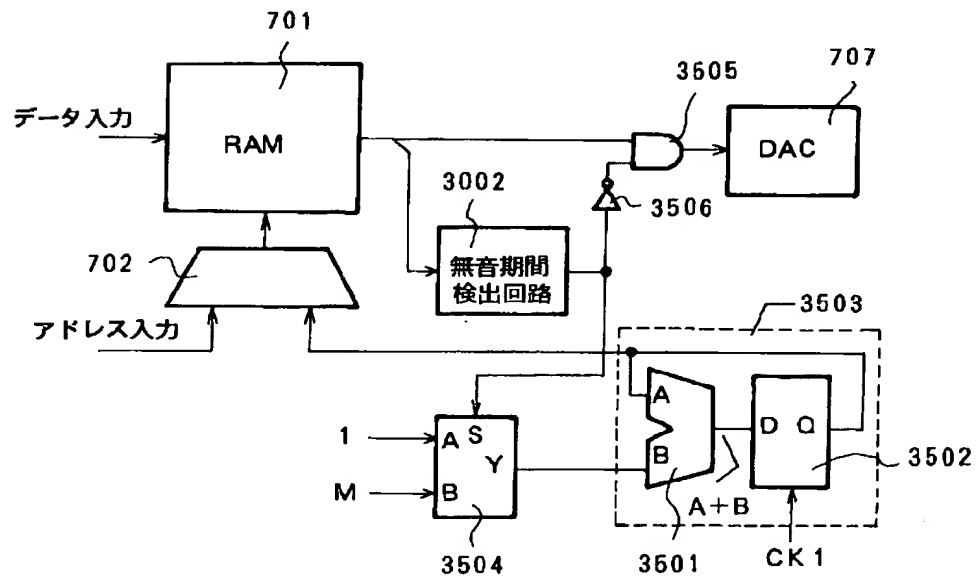
【図34】

図 3 4



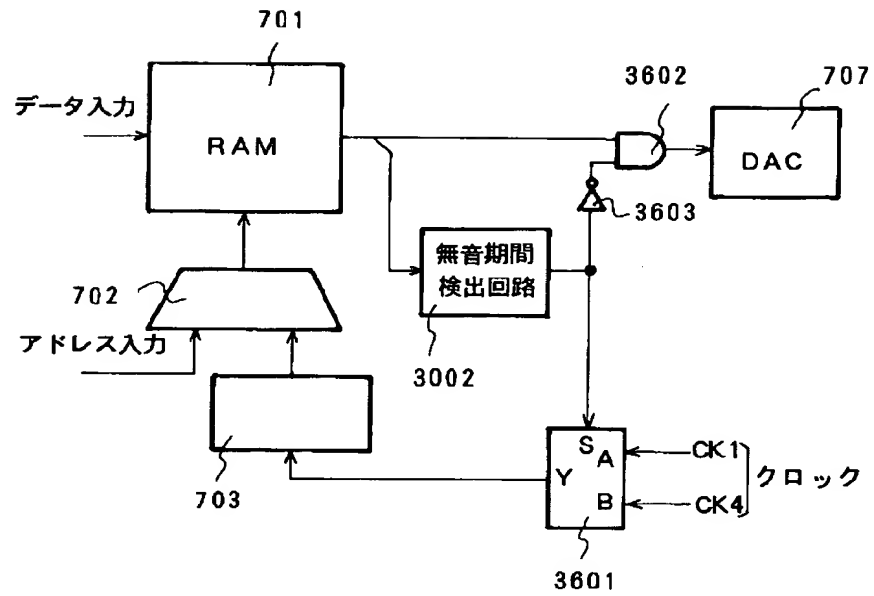
【図35】

図 35



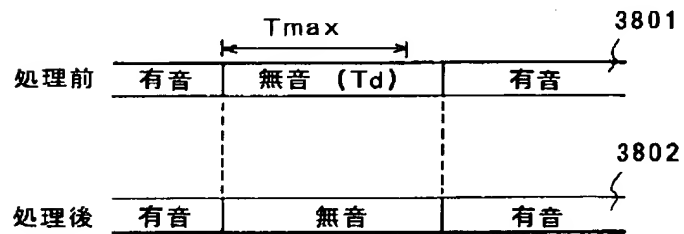
【図36】

図36



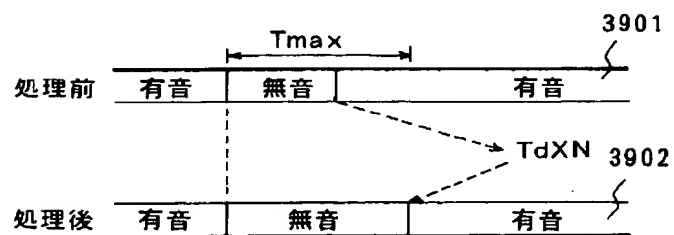
【図38】

図38



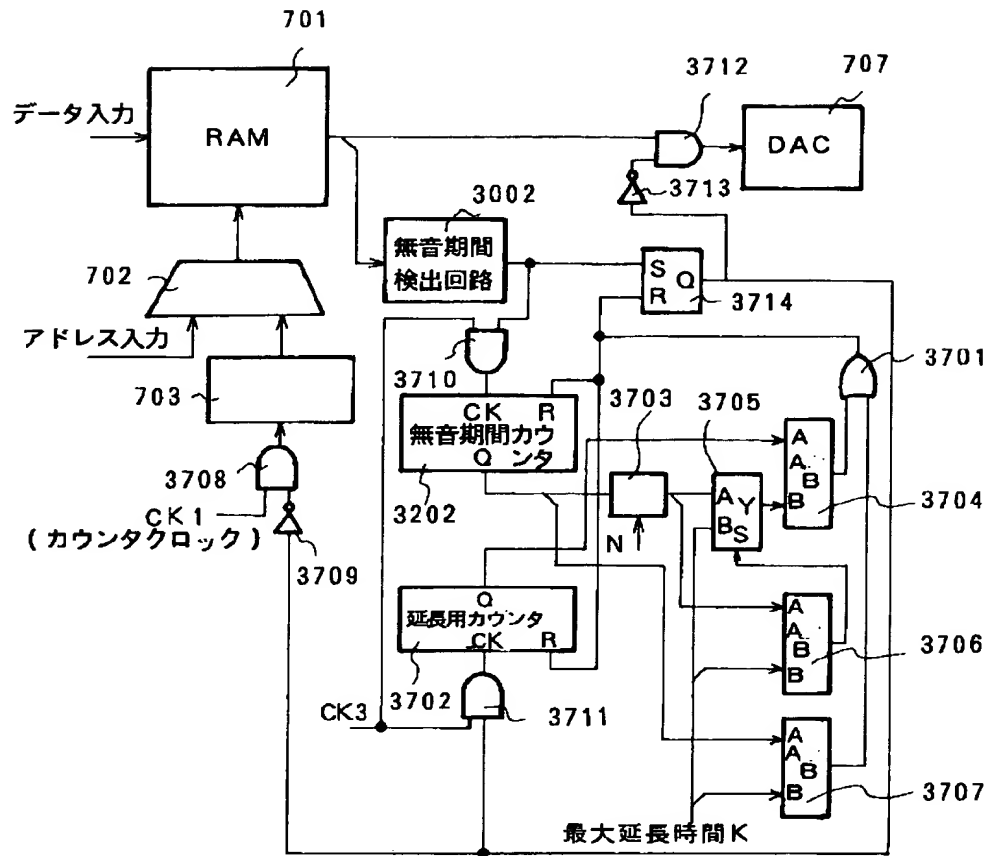
【図39】

図39



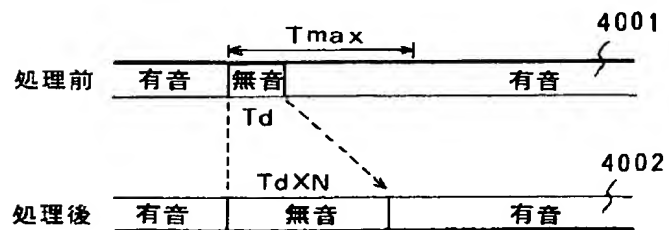
【図37】

図37



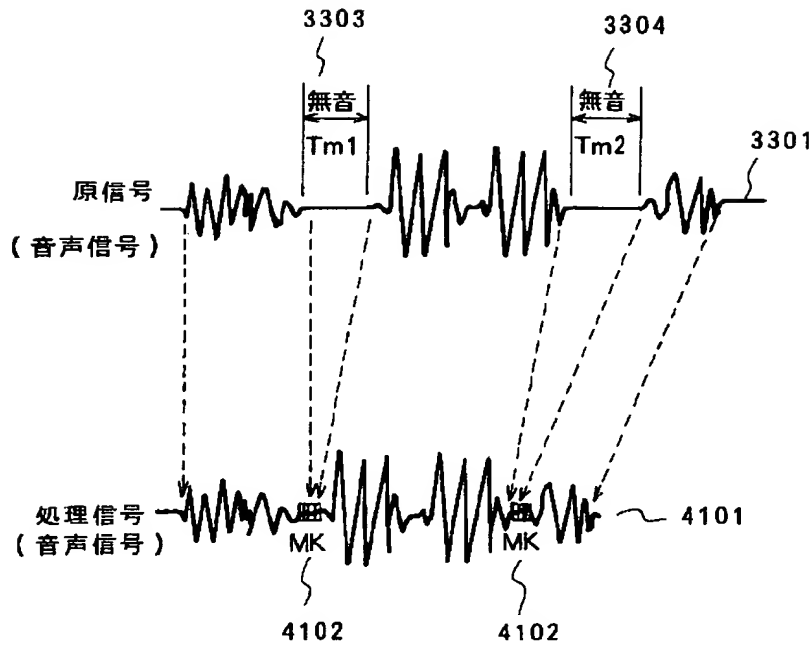
【図40】

図40



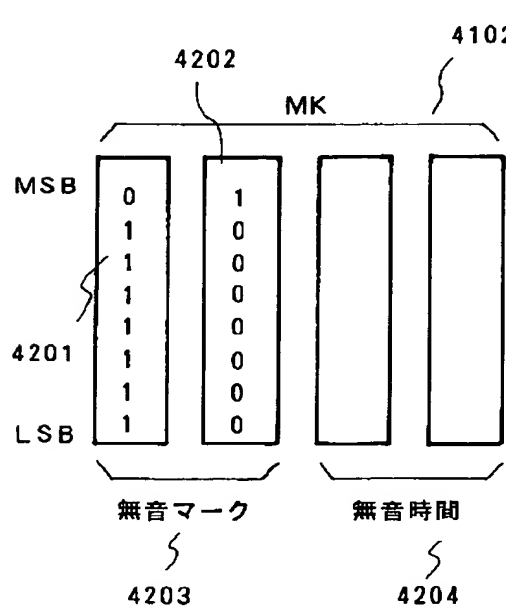
【図41】

図41



【図42】

図42



【図47】

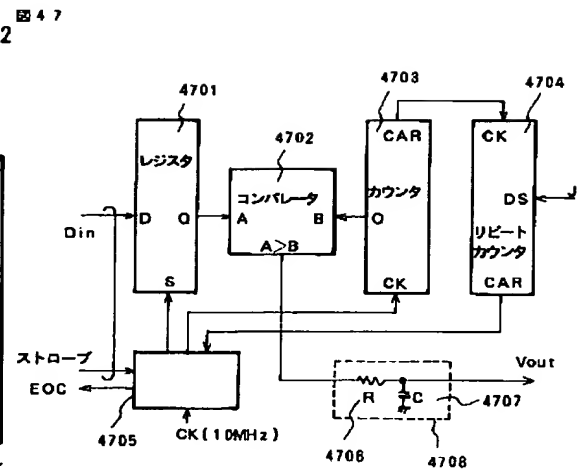
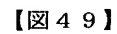
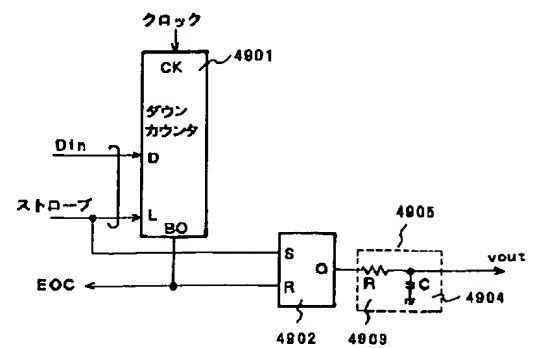


图 4-3

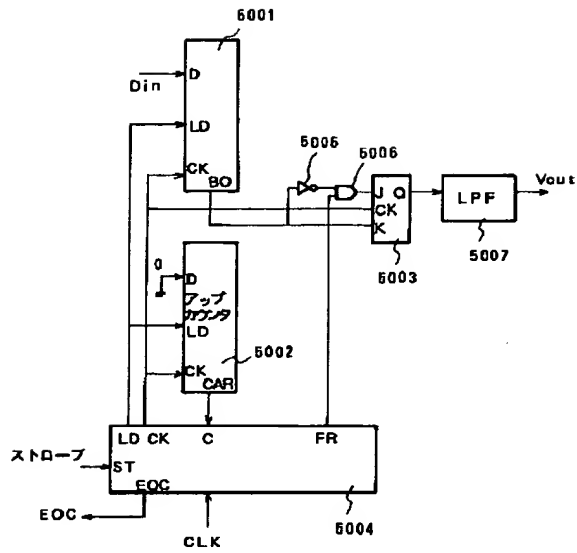


49



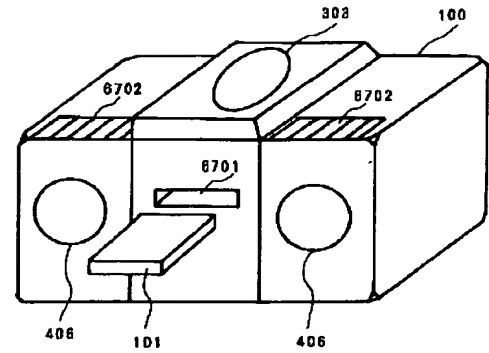
【図 50】

図 50



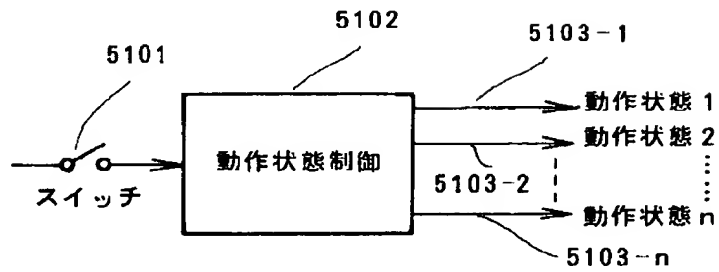
【図 68】

図 68



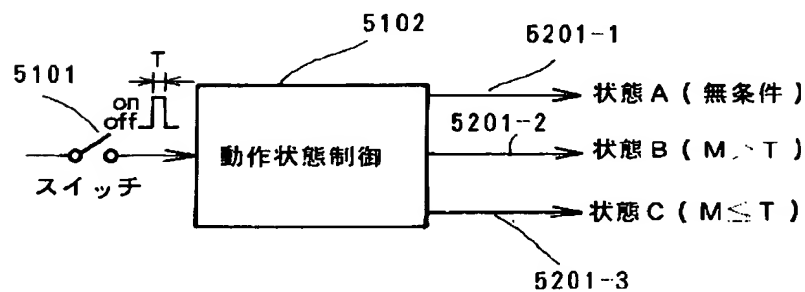
【図 51】

図 51



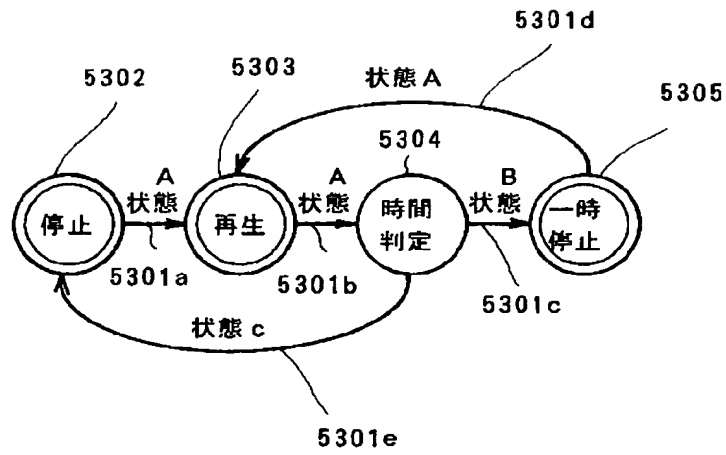
【図 52】

図 52



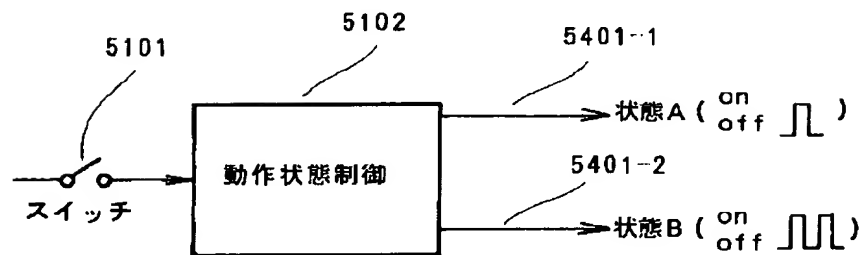
【図 5 3】

図 5 3



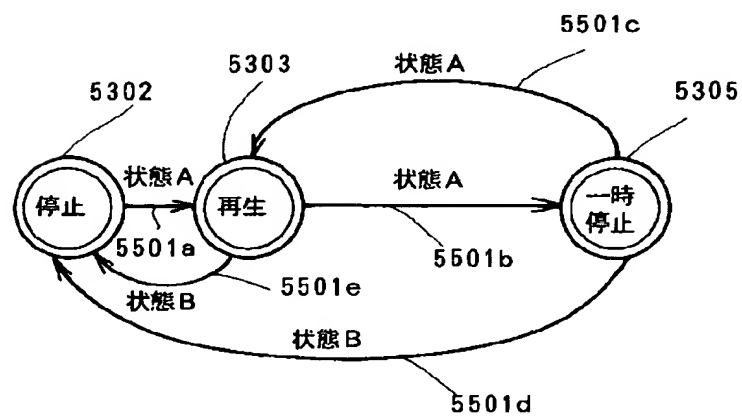
【図 5 4】

図 5 4



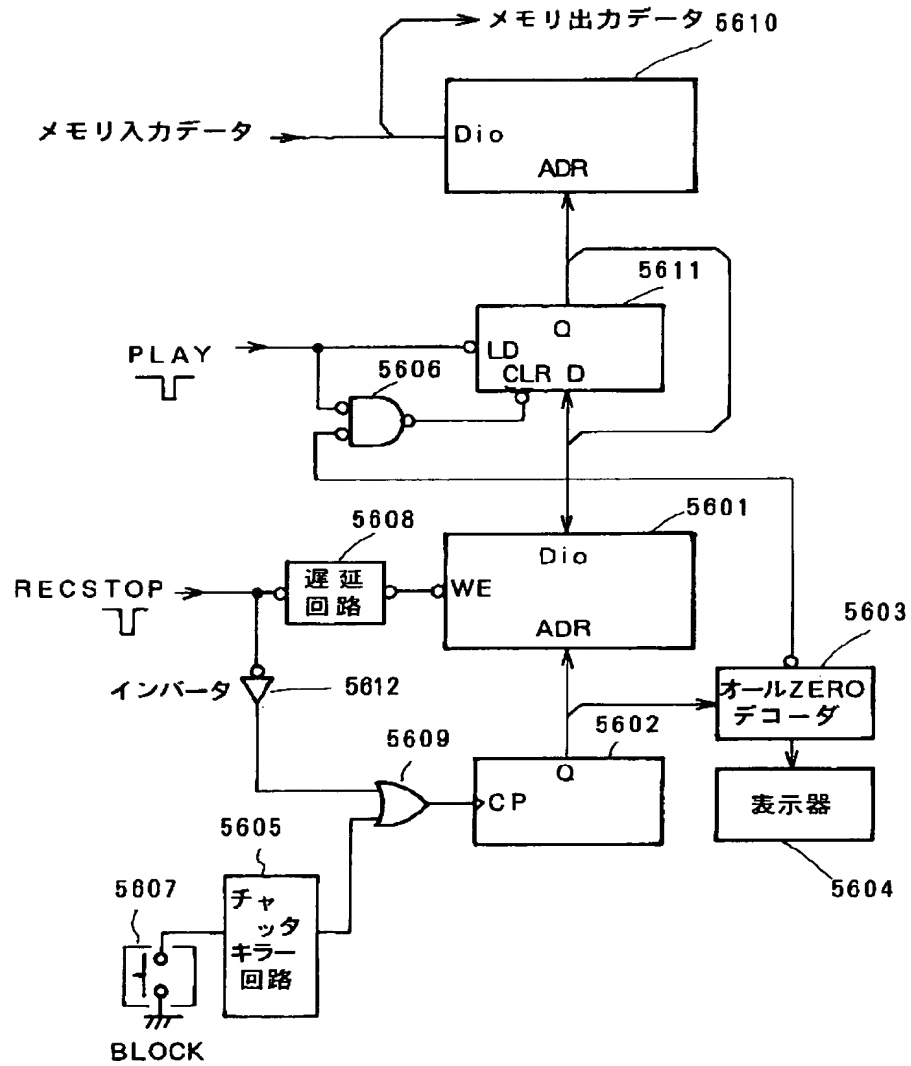
【図 5 5】

図 5 5



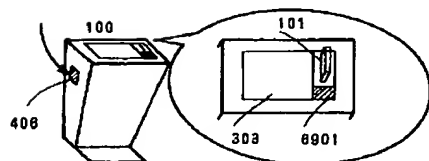
【図56】

図56



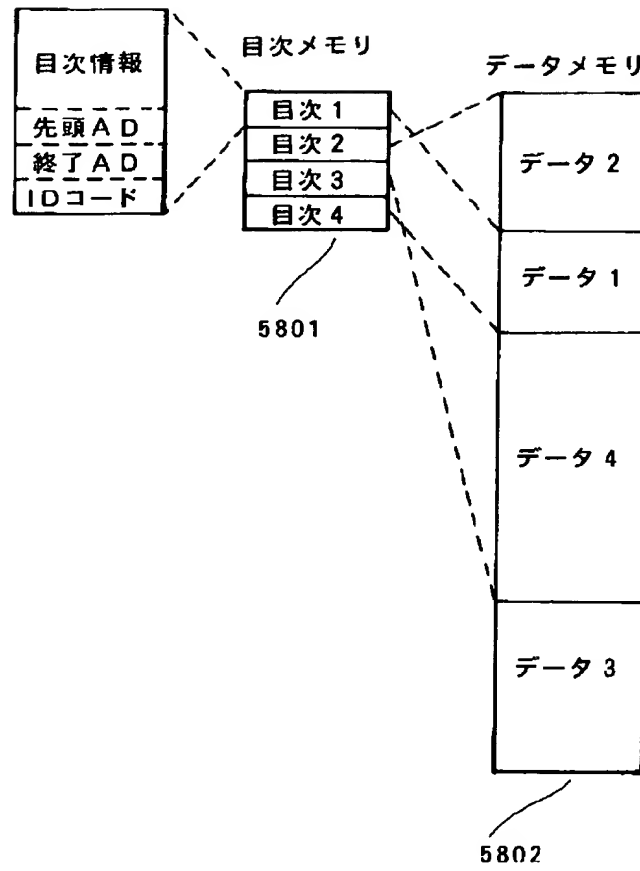
【図69】

図69



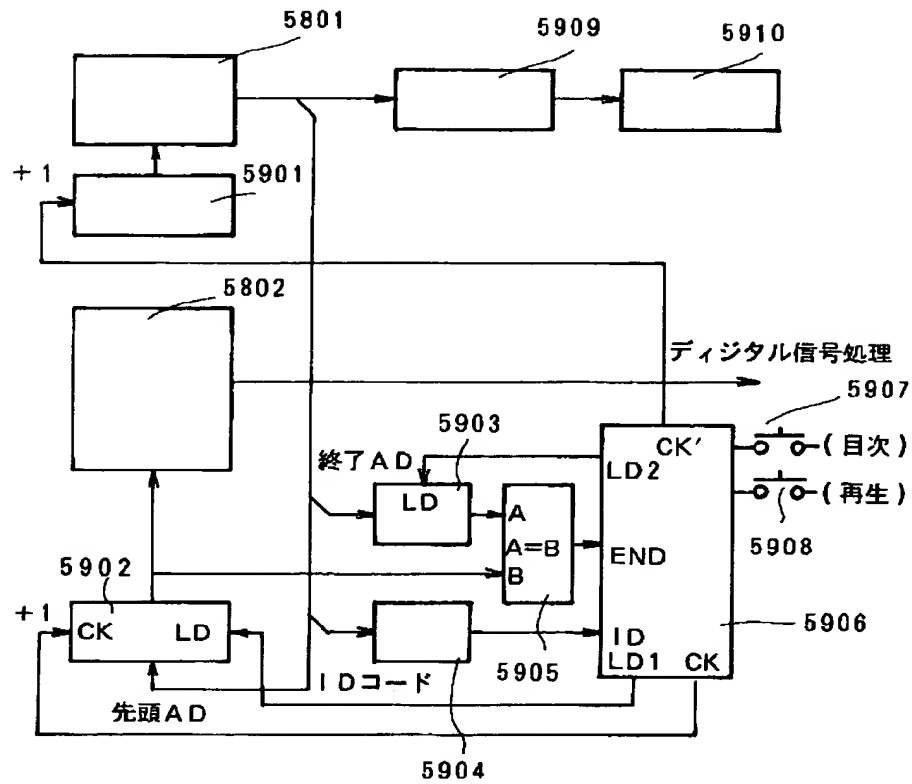
【図 5 8】

図 5 8



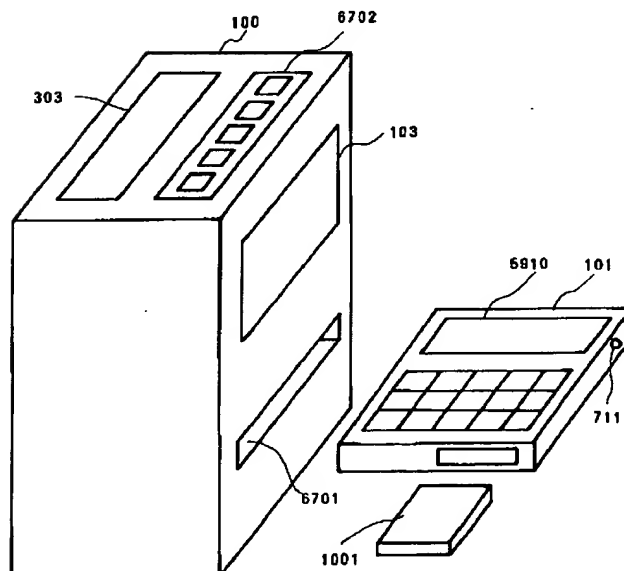
【図 5 9】

図 5 9



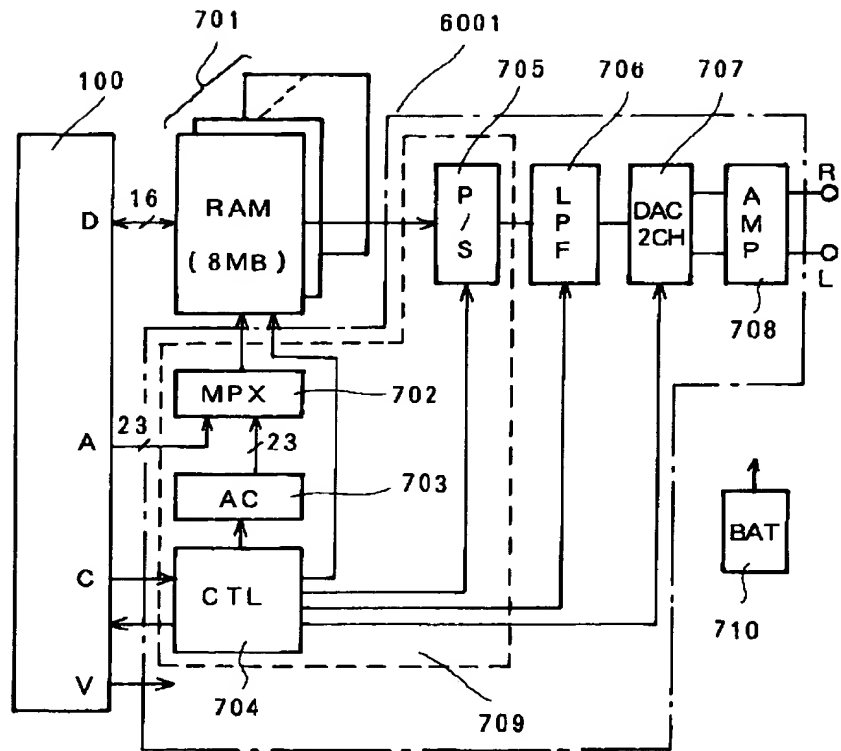
【図 6 7】

図 6 7

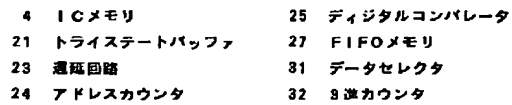


【図60】

図 60

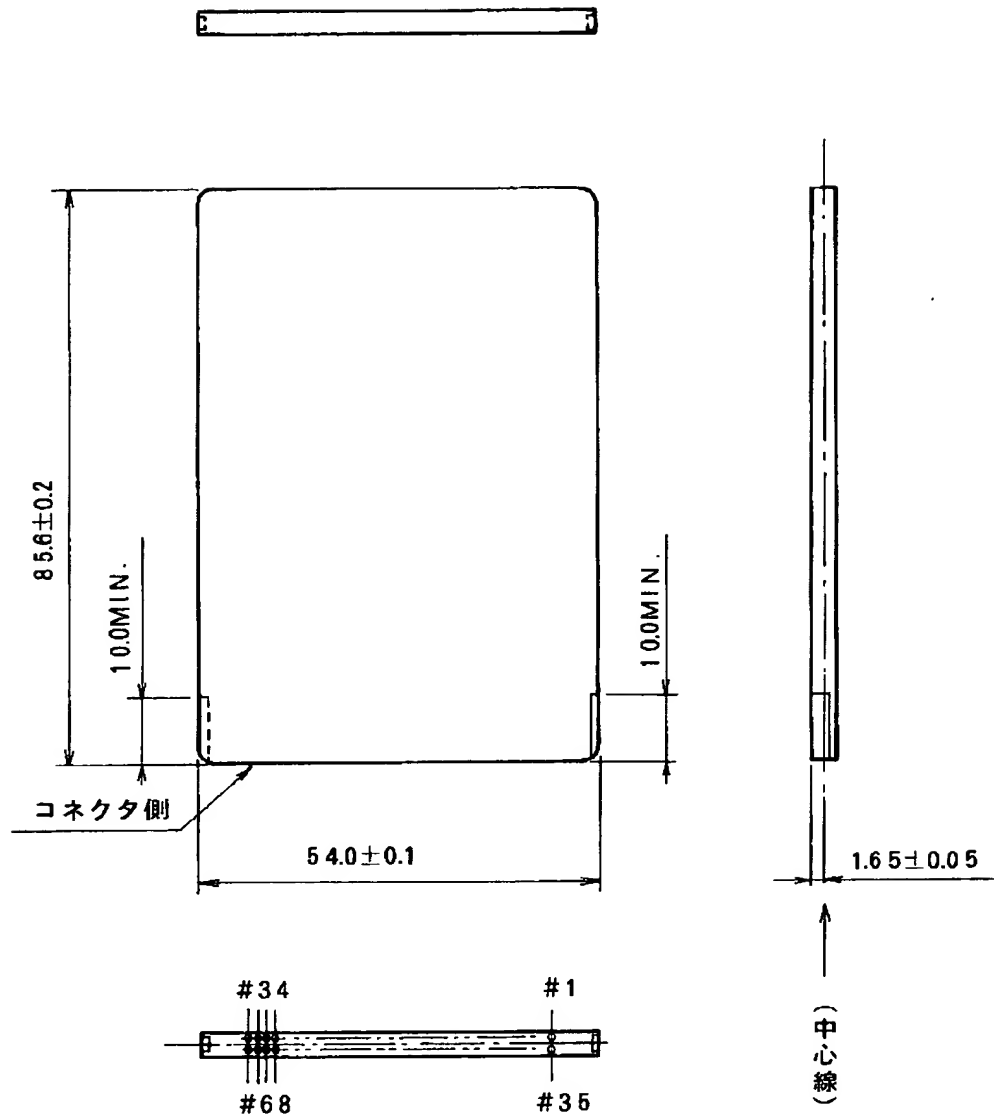


62



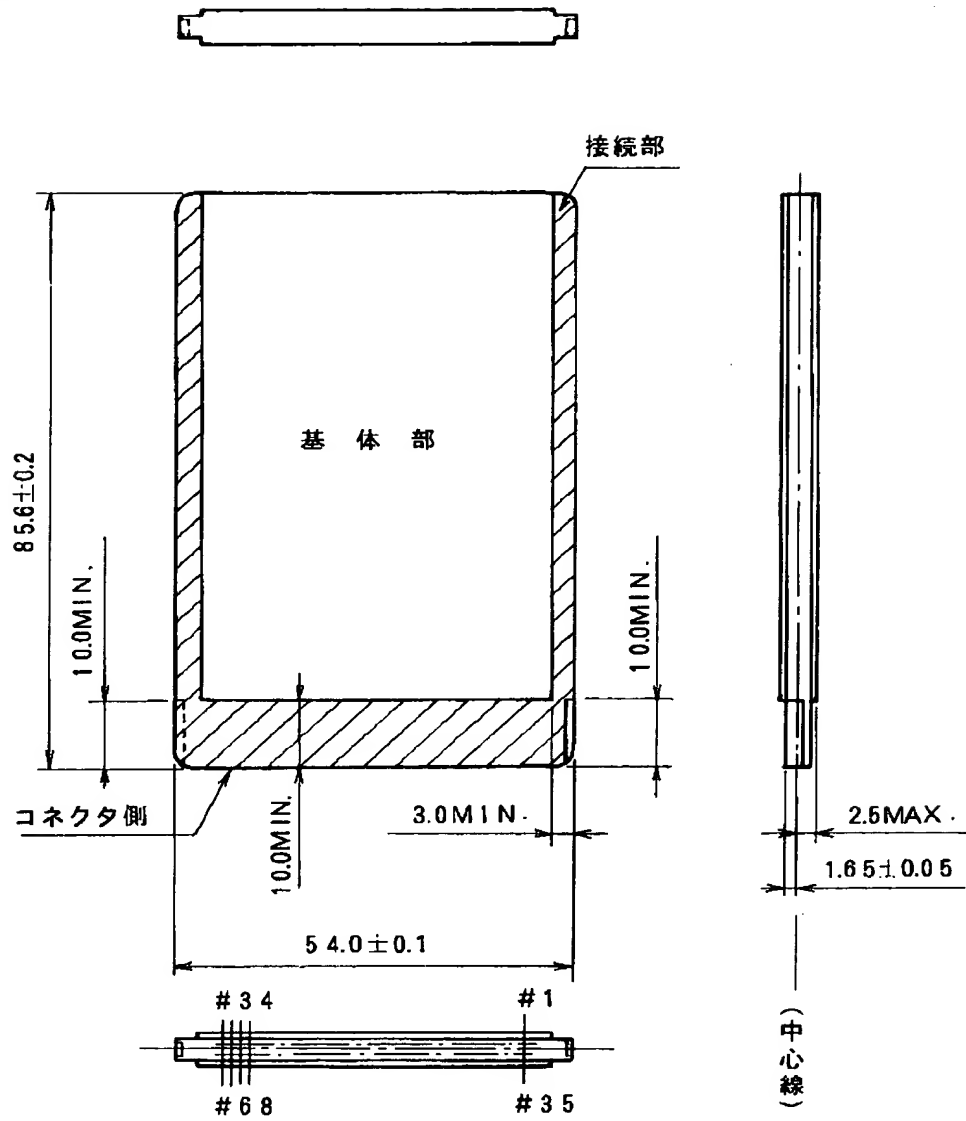
【図63】

図 6 3



【図64】

図64



【図65】

図65

ピン	名称	I/O	機能	ピン	名称	I/O	機能
1	GND			35	GND		
2	D3	I/O		36	CD1	O	カード検出
3	D4	I/O		37	D11	I/O	
4	D5	I/O		38	D12	I/O	
5	D6	I/O		39	D13	I/O	
6	D7	I/O		40	D14	I/O	
7	CE1	I	カードイネーブル	41	D15	I/O	
8	A10	I		42	CE2	I	カードイネーブル
9	OE	I	出カイネーブル	43	RFSH	I	リフレッシュ (PSRAM用)
10	A11	I		44	RFU	NC	リザーブ
11	A9	I		45	RFU	NC	リザーブ
12	A8	I		46	A17	I	
13	A13	I		47	A18	I	
14	A14	I		48	A19	I	
15	WE/PGM	I	ライトイネーブル	49	A20	I	
16	RDY/BSY	O	RDY/BSY (EEPROM用)	50	A21	I	
17	VCC			51	VCC		
18	VPP1		プログラム用電源 (偶数バイト)	52	VPP2		プログラム用電源 (奇数バイト)
19	A16	I		53	A22	I	
20	A15	I		54	A23	I	
21	A12	I		55	A24	I	
22	A7	I		56	A25	I	
23	A6	I		57	RFU	NC	リザーブ
24	A5	I		58	RFU	NC	リザーブ
25	A4	I		59	RFU	NC	リザーブ
26	A3	I		60	RFU	NC	リザーブ
27	A2	I		61	REG	I	アトリビュートメモリセレクト
28	A1	I		62	BVD2	O	電池電圧検出
29	A0	I		63	BVD1	O	電池電圧検出
30	D0	I/O		64	D8	I/O	
31	D1	I/O		65	D9	I/O	
32	D2	I/O		66	D10	I/O	
33	WP	O	ライトプロテクト	67	CD2	O	カード検出
34	GEN			68	GND		

【図66】

図66

項 目	信 号	メモリカード	システム	メモリカード出力形式
コントロール 信号	$\overline{CE1}$ $\overline{CE2}$ \overline{REG}	VCCにプルアップ $R_{\text{上}} \geq 10k\Omega$,	——	——
	\overline{OE} $\overline{WE/PGM}$	VCCにプルアップ $R_{\text{上}} \geq 10k\Omega$, あるいは抵抗無し	——	——
	$\overline{RDY/BSY}$	——	プルアップ	未定
	\overline{RFSH}	——	——	——
アドレス	A0-A25	GNDにプルダウン $R_{\text{下}} \geq 100k\Omega$, あるいは抵抗無し	——	——
データバス	D0-D15	GNDにプルダウン $R_{\text{下}} \geq 100k\Omega$, あるいは抵抗無し	——	スリーステート
カード検出	$\overline{CD1}$ $\overline{CD2}$	カードのグラウンドに接続	プルアップ	メモリカード内の GNDに接続
ライト プロテクト	WP	——	——	“H”又は“L”
電池電圧検出	BVD1 BVD2	——	プルアップ	“H”又は“L”
リザーブピン	RFU	NC	NC	——

フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

// G 1 1 B 20/10

D 7923-5D

(72)発明者 木村 勝高
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 佐々木 敏夫
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 岸田 浩
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 織田 勇
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 佐々木 勝朗
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 小澤 直樹
東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 近藤 和弘
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 増原 利明
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 大西 忠志
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 大林 秀仁
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 愛木 清
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内
(72)発明者 堀越 彌
東京都国分寺市東恋ヶ窪 1 丁目280番地
株式会社日立製作所中央研究所内